



UNIVERSIDAD DE BUENOS AIRES

Facultad de Ciencias Exactas y Naturales

*Degradación de Óxido de Puerta en Estructuras*

*Metal-Oxido-Semiconductor (M.O.S.)*

Tesis presentada para optar al título de Doctor de la Universidad de Buenos Aires en  
el área de Física

Félix Roberto Mario Palumbo

Director de Tesis: Dr. Adrián Faigon

Director Asistente : Dr. Salvatore Lombardo

Lugar de trabajo: Laboratorio de Física de Dispositivos – Microelectrónica

Facultad de Ingeniería, Universidad de Buenos Aires.

Buenos Aires, 2005.

## **Degradación del Óxido de Puerta en Estructuras Metal-Óxido-Semiconductor**

El aumento de la importancia de la tecnología MOS es impulsado por las innovaciones tecnológicas que permiten reducir en forma agresiva las dimensiones de los dispositivos y así aumentar el número de aplicaciones. A partir de la importancia comercial y de la evidencia experimental de la ruptura de los dispositivos surge el interés de comprender los mecanismos involucrados en la degradación del óxido de gate, para predecir y controlar este tipo de defectos. En este contexto, la aplicación es la motivación que lleva a describir la física de los problemas.

En este trabajo se investigan fenómenos relacionados con las distintas fases de la degradación del óxido de puerta en estructuras MOS. Se estudian efectos de la radiación y de la inyección de portadores y se propone un modo de comparar la degradación asociada a estas distintas clases de condiciones severas a las que se somete al dispositivo en su funcionamiento. Se aporta a una temática de interés tecnológico, cual es la influencia del material de gate en la degradación del óxido.

Los daños microscópicos en la estructura fueron estudiados combinando la caracterización eléctrica con el análisis de microscopía TEM de alta resolución. Se mostró que los defectos y daños no sólo se producen en la capa dieléctrica, los cambios físicos y micro-estructurales de los electrodos tiene un rol fundamental en el evento de ruptura.

Palabras Claves: MOS (Metal-Óxido-Semiconductor), Óxidos ultra-delgados, Fiabilidad, Radiación Gamma, Inyección de portadores, Diodo controlado por puerta, Ruptura progresiva, Metal Gates, DBIE (Dielectric-Breakdown-Induced-Epitaxy).

## **Gate Oxide Degradation in Metal-Oxide-Semiconductor Structures**

The increasing importance of the MOS technology is a result of technological innovations that allow a drastic reduction in device dimensions, and therefore, increase the number of applications. Given the great commercial importance and the experimental evidence of the device breakdown, there is an increased interest in understanding the mechanisms involved in gate oxide degradation, in order to predict and control this kind of failures. In this context, the application is the motivation that leads to the description of the problems' characteristics.

This work analyzes some of the phenomena related to the various phases of gate oxide degradation in MOS structures.

The effects of gamma radiation and carrier injection are also studied, while suggesting a way of comparing the degradation associated with the different severe conditions to which the device is exposed during operation (electrical and radiation stresses). Knowing the extent of the influence of the gate material in oxide degradation is also of technological interest.

The microscopic damage caused in the gate oxide structure during the breakdown is analyzed, combining the electrical characterization with high resolution TEM microscopy. Conclusions are that defects and damage occur not only within the dielectric, as physical and micro-structural changes in the electrodes play a vital role in the breakdown event.

**Keywords:** MOS (Metal-Oxide-Semiconductor), Ultra-thin oxides, Reliability, Gamma Radiation, Carriers injection, Gate Controlled Diode, Progressive Breakdown, Metal Gates, DBIE (Dielectric-Breakdown-Induced-Epitaxy).

A lo largo de los últimos años conocí a muchas personas que me ayudaron a superar infinidad de problemas fuera y dentro del laboratorio para la realización de este trabajo. Supongo que este es un buen momento para agradecerles...

En primer lugar quiero agradecer a Adrián Faigon, mi director de tesis, por su apoyo y confianza en mis proyectos y en la realización de esta tesis. Por darme la oportunidad de trabajar en su laboratorio y guiarme en esto tan divertido que llamamos *Física*.

A Salvatore Lombardo, mi co-director de tesis, por brindarme la gran oportunidad de trabajar en su grupo y permitirme conocer la microelectrónica desde otra perspectiva.

A las distintas instituciones que me ayudaron a vivir estudiando e investigando. En Argentina, la Fundación Antorchas, la Universidad de Buenos Aires y el CONICET me permitieron con sus distintas becas enfocar mi esfuerzo solamente en la Física. En Italia, el Instituto IMM-CNR Sezione di Catania me permitió trabajar en sus laboratorios a través de ICTP con su programa TRIL. En este punto me gustaría destacar el apoyo recibido por el Dr. E. Rimini y el Dr. C. Spinella del IMM de Catania.

A F. Campabadal del CNM, España, y J. H. Stathis de IBM por la discusión de los resultados y la provisión de muestras.

A mis compañeros de trabajo en Argentina, y en Italia.

A Enrique Miranda por su apoyo y consejos que influenciaron muy bien mi trabajo. A Domenico Corso por ayudarme casi en todo durante mi trabajo en Italia, desde el montaje de los experimentos, programar el LabView, discusión de los resultados, hasta llevarme en moto desde Catania al CNR. A Isodiana Crupi, por hacerme entender lo importante de los colores y del diseño en la realización de los posters. A Gabriel Redin, por los mates y asados. A Giovanni Condorelli, más que agradecerle, pedirle perdón por hacerlo trabajar siempre en agosto.

A Emilio Sciacca, Ester Spitale, Rosaria, Alessandro del IMM, y a Mauricio, José, Ariel, Rina, Alejandro, Andrés de FI-UBA por su ayuda y compañía.

En este punto quiero destacar a Domenico, Giovanni, Emilio, Fabrizio, y Alessandro por la realización del *Silicon Workshop* en Septiembre del 2004.

Fuera del laboratorio también encontré gente muy importante...

A Fernando Karles, Marina Galano, Gabriel Manzo y Fabrizio Mangano por bancarme en buenas y malas.

A Margarita, Giuliana, Silvia, Elena, Nico, Orazio, Luigi, Valeria, Paola, Ricardo, y Miky por las salidas de los fines de semana en Catania.

A Marta Pedernera, Nico y Aldo por su ayuda.

A Silvia por su ayuda en la revisión final de esta tesis.

A Tequila.

A todos muchas gracias...

Félix Roberto Mario Palumbo

Buenos Aires, Enero del 2005.

*A mis padres y a mi hermanita...*

<b>Introducción</b> .....	1
<b>Capítulo 1 : Física de la Estructura MOS</b> .....	4
1.1 Sistema Metal-Oxido-Semiconductor .....	5
1.2 Capacidad en una Estructura MOS.....	9
1.3 Potencial de Superficie.....	11
1.4 Material de Gate.....	11
1.5 Características del SiO <sub>2</sub> y Si-SiO <sub>2</sub> .....	14
1.5.1 Estados de Interfaz Si-SiO <sub>2</sub> .....	15
1.5.2 Carga Fija en el SiO <sub>2</sub> .....	17
1.6 Dispositivo MOSFET: Generalidades.....	19
1.7 Técnica de Diodo Controlado por Puerta.....	22
Resumen del Capítulo 1.....	25
Referencias del Capítulo 1.....	26
<b>Capítulo 2 : Modelos de Conducción y Degradación Asociada en Estructuras MOS</b> .....	27
2.1 Mecanismos de Conducción.....	28
2.1.1 Túnel Fowler-Nordheim.....	29
2.1.2 Túnel Directo .....	30
2.1.3 Comparación con Datos Experimentales.....	34
2.2 Degradación del Oxido de Gate.....	36
2.2.1 Energía de los Portadores.....	37
2.2.2 Ionización por Impacto.....	39
2.2.3 Inyección de Huecos desde el Ánodo.....	40
2.2.4 Liberación de Hidrógeno.....	43
2.2.5 Ionización de Portadores Minoritarios.....	45
Resumen del Capítulo 2.....	46
Referencias del Capítulo 2.....	48

<b>Capítulo 3 : Degradación por Radiación y por Inyección Eléctrica de Portadores.....</b>	<b>52</b>
3.1 Mecanismos de Degradación por Radiación.....	53
3.1.1 Generación de pares Electrón-Hueco.....	55
3.1.2 Transporte de Huecos.....	58
3.1.3 Neutralización de Huecos.....	59
3.1.4 Estados de Interfaz.....	60
3.2 Separación de Componentes de Degradación.....	62
Hipótesis de Neutralidad.....	66
3.3 Degradación por Radiación Gamma en Diodo Controlado por Puerta.....	72
3.4 Degradación por Portadores Energéticos en Diodo Controlado por Puerta.....	73
3.5 Comparación de las Degradaciones Eléctrica y por Radiación.....	76
3.6 Ocupación de Trampas de Volumen en Dispositivos Irradiados.....	80
3.6.1 Modelo de Balance Dinámico.....	80
3.6.2 Medición de Niveles Estacionarios.....	81
Resumen del Capítulo 3.....	84
Referencias del Capítulo 3.....	87
<b>Capítulo 4 : Influencia del Material de Ánodo en Aspectos de Fiabilidad.....</b>	<b>92</b>
4.1 Degradación en Óxidos Delgados.....	93
4.2 Dinámica de Generación de Defectos.....	97
4.3 Carga Inyectada hasta la Ruptura del Oxido de Puerta.....	103
4.4 Densidad de Defectos Críticos hasta la Ruptura.....	106
4.5 Tasa de Generación de Defectos.....	108
4.6 Material de Gate.....	111
Plasmones de Superficie.....	111
4.7 Estadística de Ruptura.....	113
Resumen del Capítulo 4.....	116
Referencias del Capítulo 4.....	118



<b>Capítulo5</b> : La Ruptura del Oxido. Aportes Parciales a su Comprensión.....	122
5.1 Modos de Ruptura.....	123
5.2 Montaje Experimental.....	125
5.3 Dinámica de Ruptura Progresiva.....	126
5.4 Conducción Post-Ruptura.....	130
5.5 Estructura del Spot de Ruptura.....	132
5.6 Análisis TEM del Spot de Ruptura.....	134
5.7 Modelo Post-Ruptura.....	141
Resumen del Capítulo 5.....	145
Referencias del Capítulo 5.....	148
<b>Conclusiones</b> .....	150

## Introducción

La tecnología del Silicio en CMOS emergió hace aproximadamente 30 años como predominante en la industria microelectrónica.

El crecimiento exponencial de la importancia de la tecnología CMOS durante este período, fue impulsada por las innovaciones tecnológicas que permitieron reducir en forma agresiva las dimensiones de los transistores MOSFET. Como ejemplo, podemos citar la reducción del óxido de gate que pasó de 7-12 nm en 1995, a 2-3 nm en 2003, y se espera que se llegue debajo de 1nm para 2012<sup>1</sup>.

La teoría de reducción, conjuntamente con las tendencias de la industria, generaron los llamados “roadmaps”, los cuales son informes que señalan los objetivos que debieran cumplirse según aspiraciones económicas, con lo cual la importancia económica de la tecnología CMOS fue aumentando a medida que las dimensiones disminuían.

En este contexto, es sorprendente cómo la tecnología ha mantenido la estructura del MOSFET (al menos por el momento) a través de décadas de desarrollo a pesar de la gran cantidad de innovaciones tecnológicas que surgieron para satisfacer las previsiones.

A partir de esta importancia y la evidencia práctica de ruptura en los dispositivos, surgió el interés de comprender los mecanismos involucrados en la degradación. A pesar de varios años de investigación, reflejada en centenares de publicaciones, la ruptura de la capa dieléctrica (generalmente SiO<sub>2</sub>) es un problema abierto en la física de dispositivos. Sin duda se realizaron aportes científicos muy importantes, pero la continua disminución del espesor del óxido cambia el escenario a comprender.

En este trabajo nos propusimos investigar este aspecto, es decir, estudiar la *Degradación del Óxido de Puerta en Estructuras Metal-Óxido-Semiconductor*.

Se realizaron series de experiencias que fueron analizadas en dos perspectivas, la aplicación tecnológica y la comprensión básica de los mecanismos. Ya que en la microelectrónica la aplicación es la motivación que lleva a describir la física de los problemas.

---

<sup>1</sup> Semiconductor Industry Association National Technology Roadmap for Semiconductors 2003.

En este trabajo se consideraron tres aspectos tecnológicos importantes:

- Comprender en detalle la física de los mecanismos involucrados en la degradación permitiría predecir la vida útil de los dispositivos. Esta estimación, requiere la extrapolación desde las condiciones donde se realizan las mediciones (por ej. alta tensión) hacia las condiciones de operación de los circuitos. Tal extrapolación sólo puede ser realizada sobre la base de datos experimentales y modelos físicos. Actualmente, existe una fuerte polémica entorno a los mecanismos involucrados en la degradación a baja tensión en óxidos ultra-delgados.

- Desde el inicio de las actividades espaciales y de la utilización militar de la electrónica, fue evidente que la radiación afecta destructivamente a los dispositivos semiconductores. Una gran cantidad de trabajo se realizó para comprender y controlar los efectos de la radiación. Sin embargo, es de actual interés mejorar el comportamiento y las predicciones de funcionamiento de transistores MOS en estas condiciones.

- La continua disminución de las dimensiones lleva a introducir nuevos materiales para mantener el rendimiento de los dispositivos. En la familia de elementos que se están considerando actualmente, el reemplazo del material de gate (poly-Si) por un metal como el Tungsteno (W) es una posibilidad. Además de la importancia tecnológica que este reemplazo involucraría, existe un interés en la comprensión de los mecanismos físicos básicos. Según los modelos físicos más aceptados, y más consistentes a las observaciones experimentales, el material de ánodo tiene un papel fundamental, y se esperaría, que cambiando el material de gate, la dinámica de la degradación cambie.

Para cumplir el objetivo de comprender la degradación, la investigación se centró en cuatro aspectos, *i.* Efecto de los portadores energéticos, *ii.* Efecto de la radiación gamma, *iii.* Influencia del material de ánodo, y *iv.* La dinámica del evento de ruptura.

Sobre la base de estos objetivos parciales, el trabajo de tesis se organizó de la siguiente manera: En los primeros capítulos se introduce brevemente algunos de los aspectos teóricos. El Capítulo 1 describe el sistema MOS ideal y sus modificaciones por la captura de carga. En el Capítulo 2 se desarrollan los regímenes de conducción (Túnel Directo y de Fowler-Nordheim), y los modelos aceptados de degradación.

En el Capítulo 3, se muestran los resultados más importantes sobre los efectos de la radiación en dispositivos MOS, centrandó el análisis en la hipótesis de neutralidad y la comparación con la degradación eléctrica.

En el Capítulo 4 se estudia la influencia del ánodo en la degradación para los casos de dispositivos con poly-Si y Tungsteno como materiales de gate.

Finalmente, en el Capítulo 5 se muestran los resultados más importantes sobre la fase final del evento de ruptura.

---

# Capítulo 1

---

## Física de la Estructura MOS

La estructura metal-óxido-semiconductor (MOS) es la base de la tecnología CMOS. Su estudio y desarrollo ha sido motivado por su utilización en la mayoría de los dispositivos planares y circuitos integrados.

El sistema MOS fue propuesto por primera vez como un capacitor variable con la tensión por Moll, Pfann y Garrett en 1959, y sus características fueron estudiadas tiempo más tarde por Frank y Lindner en 1961. Las innovaciones posteriores permitieron mejorar el control de la carga y utilizar el sistema para distintas funciones electrónicas, como la retención de información, análisis de señales, y operaciones lógicas.

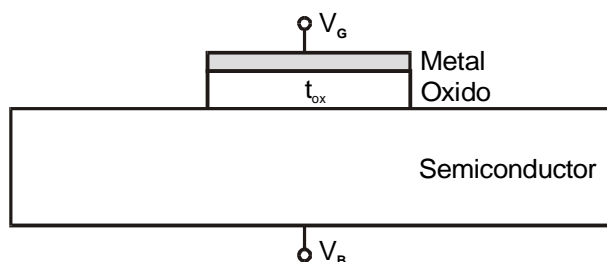
En este capítulo se describen las propiedades fundamentales del capacitor MOS, las ecuaciones básicas que gobiernan su funcionamiento, y las características eléctricas de la superficie en función de la tensión aplicada

Los efectos de la captura de carga en el óxido y la creación de estados en la interfaz óxido-silicio, también son discutidos con relación a las curvas de capacidad-tensión.

## 1.1 Sistema Metal-Óxido-Semiconductor

Un capacitor MOS consiste en un electrodo depositado (metal o poly-Si altamente dopado) sobre una capa delgada de dióxido de Si ( $\text{SiO}_2$ ) crecida térmicamente sobre un sustrato semiconductor (Si) [1-3].

La Fig. 1.1 muestra un esquema en sección, donde  $t_{\text{ox}}$  es el espesor del óxido y  $V_G$  la tensión aplicada sobre la capa metálica (gate) respecto del sustrato.



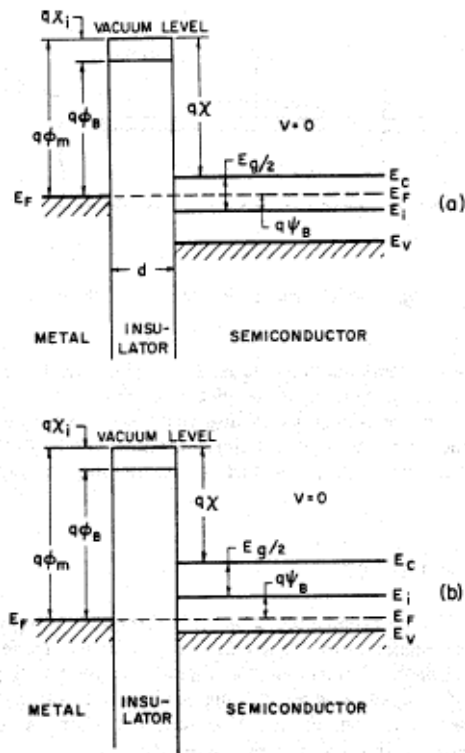
**FIGURA 1.1:** Esquema en sección de la estructura Metal-Óxido-Semiconductor

Para estudiar el comportamiento de la estructura MOS es conveniente relacionar la estructura de banda de los tres materiales a una referencia común de potencial. En este tipo de diagrama se esquematiza el mínimo de las bandas de valencia y conducción en función de la distancia perpendicular a la interfaz considerando el nivel de vacío como referencia.

En la Fig. 1.2 se muestra el diagrama de bandas cuando no se tiene potencial aplicado. El Silicio presenta un gap de 1.12eV ( $E_g$ ), y la banda de conducción a 4.05eV del nivel de vacío (afinidad electrónica  $q\cdot\chi$ ). Por otro lado, el  $\text{SiO}_2$  con una gap en el rango de 8-9eV, tiene la banda de conducción a 0.95eV del nivel de vacío ( $q\cdot\chi_i$ ), con lo cual la barrera de potencial entre el  $\text{SiO}_2$  y el Si es de 4.05eV-0.95eV=3.1eV.

En el material de gate, la diferencia de energía entre el nivel de vacío y el nivel de Fermi (función trabajo  $\phi_m$ ) depende del elemento que lo constituye. Diferentes materiales tienen distintas funciones trabajo. Por simplicidad consideraremos un MOS ideal, donde la función trabajo del metal es igual a la del Si. Es decir,  $\phi_s = \chi + \frac{E_g}{2} + \psi_b$ , donde  $\phi_s$  es la función trabajo del semiconductor, y  $\psi_b$  es la diferencia entre los niveles de Fermi potencial e intrínseco (Fig.1.2).

Cuando no se tiene potencial aplicado entre el metal y el Si ( $V_G=0$ ), los niveles de Fermi están alineados como se muestra en la Fig. 1.2. A esta condición se la llama de bandas planas (Flat-Band), donde no se tiene carga acumulada, ni campo, y la concentración de portadores es la de equilibrio en el semiconductor [3,4].



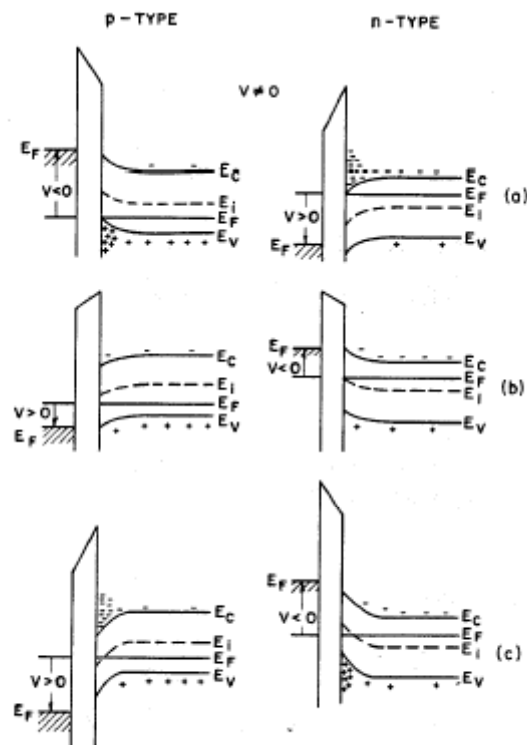
**FIGURA 1.2:** Diagrama de bandas para la estructura MOS sin potencial aplicado  $V=0$ , para (a) semiconductor tipo n, y (b) semiconductor tipo p. Ref.[3].

Al polarizar la estructura la situación en la superficie del semiconductor se puede clasificar en tres casos: (i) acumulación, (ii) deserción, e (iii) inversión. Para representar estas situaciones consideremos un MOS con sustrato p-Si.

En el caso que tensión negativa es aplicada al gate,  $V_G < 0$ , el nivel de Fermi ( $E_F$ ) del metal aumenta respecto del  $E_F(\text{Si})$  (Fig.1.3(a)), y se crea un campo eléctrico en el  $\text{SiO}_2$  que acelera cargas negativas hacia el sustrato. Esto resulta en concentración de huecos en la superficie por encima del valor de equilibrio en el bulk.

Debido a esta acumulación de huecos se denomina condición de *acumulación*. En el gate aparece una igual cantidad de carga negativa, las bandas se curvan hacia arriba y el nivel de Fermi en la superficie está más cerca de la banda de valencia (Fig.1.3(a)).

Por el otro lado, si se aplica una tensión positiva al gate,  $V_G > 0$ , el nivel de Fermi del metal disminuye respecto al  $E_F(\text{Si})$ , (Fig.1.3(b)) y se crea un campo eléctrico en el  $\text{SiO}_2$  que acelera carga negativa hacia el gate. Un campo similar es inducido en el Si que causa que las bandas se curven hacia abajo. Como la banda de valencia está más apartada de  $E_F$  en la superficie que en el bulk del semiconductor, los huecos son repelidos de la superficie. Resultando en una menor concentración en la superficie que en el bulk. A esta condición la llamamos *deserción* (Fig.1.3(b)) [3,4].



**FIGURA 1.3:** Diagrama energético de la estructura MOS con tensión aplicada para sustrato p-Si y n-Si en (a) acumulación, (b) deserción y (c) inversión. Ref.[3].

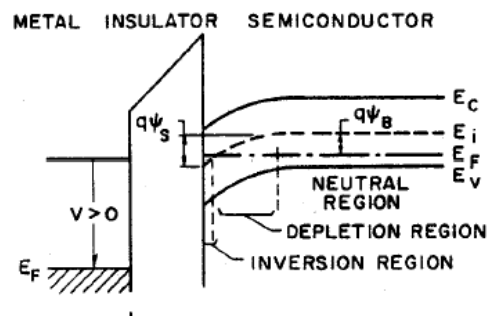
Si se continua aumentando el potencial, manteniendo la polaridad  $V_G > 0$ , las bandas se curvan aun más, y eventualmente el nivel de Fermi intrínseco ( $E_i$ ) se cruza con el nivel de Fermi ( $E_F$ ) en la superficie (Fig.1.3(c)). En esta condición la densidad de electrones (portadores minoritarios en p-Si) en la superficie es mayor que la de huecos, generando inversión del tipo de portadores. Es decir, la superficie se comporta como si fuera del tipo n. A esta condición se la denomina *inversión* de



portadores. Notar que la acumulación de electrones en la superficie es generada por la aplicación del campo y no por implantación.

Resultados similares pueden ser obtenidos en el caso de un semiconductor tipo n-Si invirtiendo la polaridad de  $V_G$  (Fig.1.3).

Si se define el potencial  $\psi$  como cero en el bulk del semiconductor, y en la superficie  $\psi_s$  medido respecto del nivel de Fermi intrínseco ( $E_i$ ), como se muestra en la Fig.1.4, es posible clasificar las distintas regiones de trabajo [3,4].



**FIGURA 1.4 :** Esquema en detalle de bandas en un sistema MOS. Notar la definición del potencial de superficie  $\psi_s$  respecto del nivel intrínseco  $E_i$ . Ref.[3].

De la discusión previa, distintas regiones del potencial de superficie pueden ser distinguidas.

$\psi_s < 0$	Acumulación de huecos
$\psi_s = 0$	Bandas planas
$\psi_b > \psi_s > 0$	Deserción de huecos
$\psi_s = \psi_b$	Midgap. (Densidad de electrones igual a la de huecos)
$\psi_s > \psi_b$	Inversión de portadores en la superficie

**TABLA 1.1:** Descripción de las regiones de funcionamiento de la estructura MOS con relación al potencial de superficie.

A partir de este análisis cualitativo, se describe la variación de carga en función de la tensión  $V_G$  en la estructura MOS, y se mencionan los distintos regímenes de funcionamiento (Tabla 1.1) con relación a la densidad de portadores en la superficie.

## 1.2 Capacidad en una Estructura MOS

El análisis de la capacidad medida entre los electrodos, permite comprender el comportamiento eléctrico de un sistema MOS. Este análisis, ha sido central en las investigaciones que permitieron desarrollar el presente entendimiento del sistema Si-SiO<sub>2</sub> y la tecnología asociada. La discusión de la sección anterior provee la base necesaria para detallar los aspectos más importantes de la capacidad medida al aplicar una tensión al gate.

Consideremos un dispositivo sustrato p-Si, polarizado con  $V_G < 0$ , tal que se tiene acumulación de carga en la superficie del Silicio.

El exceso de huecos en la superficie está ubicado a una distancia pequeña de la interfaz. Si una señal AC es superpuesta a la tensión  $V_G$ , se origina una variación de densidad de carga acumulada de la cual se puede medir la capacidad asociada dada por:  $C = \partial Q_s / \partial V_G$ , donde  $Q_s$  es la carga acumulada en el semiconductor.

Cuanto más elevada es la acumulación de carga en la superficie, la capacidad tiende asintóticamente a la capacidad del óxido, representada por  $C_{OX} = \epsilon_{OX} / t_{OX}$ .

Al cambiar la dirección del incremento de  $V_G$  hacia la tensión  $V_{FB}$ , la superficie de acumulación y la capacidad decrecen a cero. Para obtener una expresión exacta de la capacidad en este rango de tensión, es necesario resolver la ecuación de Poisson en la condición donde electrones y huecos libres contribuyan a la carga total en la superficie [8]. Un resultado particular es el cálculo de la capacidad en condición de Flat-Band  $C_{FB}$  ( $V_G = V_{FB}$ ) el cual Sze desarrolló en 1969 [2].

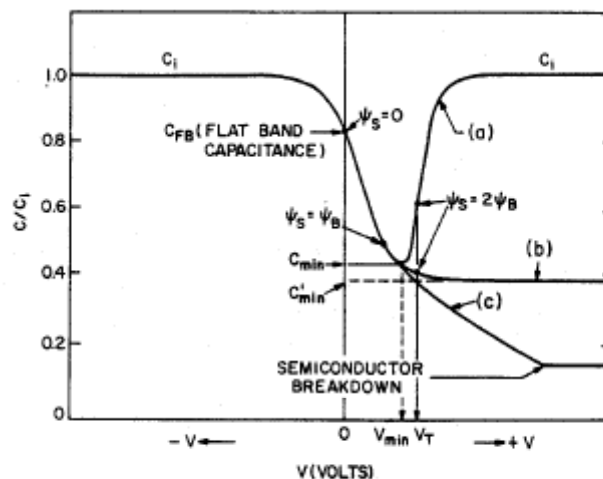
$$C_{FB} = \frac{1}{\frac{t_{OX}}{\epsilon_{OX}} + \left[ \frac{k.T}{q^2 \cdot \epsilon_s \cdot N_a} \right]^{1/2}} \quad (1.1)$$

Cuando la tensión aumenta por encima de  $V_{FB}$  ( $V_G > V_{FB}$ ) los huecos son repelidos de la superficie –deserción de portadores- y la capacidad del sistema  $C$  es una combinación de la capacidad del aislante  $C_{OX}$ , y de la región desierta del semiconductor  $C_D$  (Fig1.4).

$$C = \frac{C_{OX} \cdot C_D}{C_{OX} + C_D} \quad \text{con} \quad C_D = \frac{\partial Q_s}{\partial \psi_s} \quad (1.2)$$

Finalmente, si la tensión aplicada  $V_G$  es suficiente como para generar la inversión de la superficie, la respuesta de los portadores depende de la velocidad de generación de la región desierta, es decir, se tiene una dependencia con la frecuencia de la señal AC. Como se discutió, la capa de inversión resulta de la generación de portadores minoritarios, con lo cual, la población de portadores varía tan rápido como la generación lo permita. Esta limitación, causa que la medición de capacidad dependa de la frecuencia generando distintos tipos de curvas C-V (Fig.1.5).

Para frecuencias suficientemente bajas los portadores minoritarios (electrones en nuestro caso) alcanzan el equilibrio y pueden seguir la pequeña señal AC. La capacidad del sistema está asociada con la carga acumulada en los electrodos, siendo cercana a la capacidad del óxido  $C_{OX}$  (curva (a) en Fig.1.5).



**FIGURA 1.5:** Curvas capacidad-tensión C-V en un dispositivo MOS en (a) baja frecuencia, (b) alta frecuencia, y (c) deserción profunda. Ref.[3].

Si la señal AC, superpuesta a  $V_G$ , tiene una frecuencia suficientemente alta, mientras que la rampa de  $V_G$  varía lentamente, la capa de inversión no responde a la señal aplicada. La capacidad corresponde a la combinación serie de la capacidad del óxido y de la región desierta.

La Fig.1.5 muestra las curvas típicas de capacidad en función de la tensión aplicada, para distintas frecuencias. La curva (a) se refiere a baja frecuencia o cuasi-estática, la (b) a alta frecuencia, y la curva (c) corresponde a la situación experimental donde tanto  $V_G$  como la señal AC son suficientemente rápidas para que la capa de inversión

no se forme, y el capacitor MOS quede en deserción profunda. Notar que esta condición no es estacionaria, la capacidad va a tender a recuperar el valor mínimo de capacidad [3-5].

### 1.3 Potencial de Superficie

Al aplicar una diferencia de potencial en la estructura MOS, ésta se divide entre la caída del dieléctrico,  $V_{OX}$ , y la curvatura de bandas representado por el potencial de superficie  $\psi_s$ , como se muestra en la siguiente expresión. En este caso asumimos que la diferencia de funciones trabajo es nula  $\phi_{ms}=0$ ,

$$V_G = \psi_s + V_{OX} \quad (1.3)$$

Por otro lado, a partir del estudio de la carga en función de la tensión de puerta  $V_G$  se puede hallar el diferencial del potencial en la superficie como: [4]

$$\frac{\partial \psi_s}{\partial V} = 1 - \frac{C(V_G)}{C_{OX}} \quad (1.4)$$

donde  $C(V_G)$  es la capacidad en función de la tensión de puerta  $V_G$  para bajas frecuencias. Entonces, integrando entre dos puntos arbitrarios de tensión,  $V_1$  y  $V_2$  obtenemos :

$$\psi_s(V_1) - \psi_s(V_2) = \int_{V_2}^{V_1} \left[ 1 - \frac{C(V)}{C_{OX}} \right] dV \quad (1.5)$$

Notar que las expresiones 1.4 y 1.5 son válidas en equilibrio térmico. Considerando  $V_1=V_G=V_{FB}$ , donde no se tiene curvatura de bandas  $\psi_s=0$ , la expresión 1.5 da una relación entre el potencial de superficie  $\psi_s$ , y la tensión de gate  $V_G$ , respecto de la condición de Flat-Band.

La determinación del potencial de superficie en función de  $V_G$  es de utilidad para la interpretación de las características eléctricas de los dispositivos semiconductores.

### 1.4 Material de Gate

En los circuitos integrados modernos, el poly-Silicio dopado fuertemente ( $10^{18}$  o  $10^{19}$   $\text{cm}^{-3}$ ) se utiliza como material de gate [1]. En el caso de poly-Si dopado tipo n ( $n^+$  poly-Si), el nivel de Fermi coincide esencialmente con la banda de conducción, y

la función trabajo  $\phi_m$  es igual a la afinidad electrónica del silicio  $\chi_S$  ( $\phi_m = 4.15\text{eV}$ ). Para poly-Si dopado tipo p (p<sup>+</sup>poly-Si) el nivel de Fermi coincide con la banda de valencia, y  $\phi_m$  es igual a la suma de  $\chi_S$  y  $E_g/q$  ( $\phi_m = 5.25\text{ eV}$ ).

A partir de estas consideraciones y del diagrama de bandas de la Fig.1.2, es posible obtener las diferencias de funciones trabajo entre el metal y el semiconductor  $\phi_{ms}$  en ambos casos.

Para un dispositivo p<sup>+</sup>poly-Si /SiO<sub>2</sub>/n-Si, la diferencia de las funciones trabajo  $\phi_{ms}$  se escribe como [2]:

$$\phi_{ms} \equiv \phi_m - \left( \chi + \frac{E_g}{2.q} - \psi_b \right) \quad (1.6.a)$$

mientras para n<sup>+</sup>poly/SiO<sub>2</sub>/p-Si :

$$\phi_{ms} \equiv \phi_m - \left( \chi + \frac{E_g}{2.q} + \psi_b \right) \quad (1.6.b)$$

Si consideramos una estructura MOS fuera de las aproximaciones ideales, (donde la función trabajo del metal puede ser distinta a la del Si) se tiene el caso particular donde un valor de  $V_G$  determinado, compensa la diferencia de las funciones trabajo entre el metal y el semiconductor. En esta condición la carga acumulada en el MOS es nula y los campos al interno del Si y del SiO<sub>2</sub> también se reducen a cero. A causa del efecto sobre las bandas de energía, a este valor particular de  $V_G$  se lo denomina tensión de bandas planas  $V_{FB}$  (Flat Band condition).

$$V_{FB} = \phi_{ms} = \phi_m - \phi_s \quad (1.7)$$

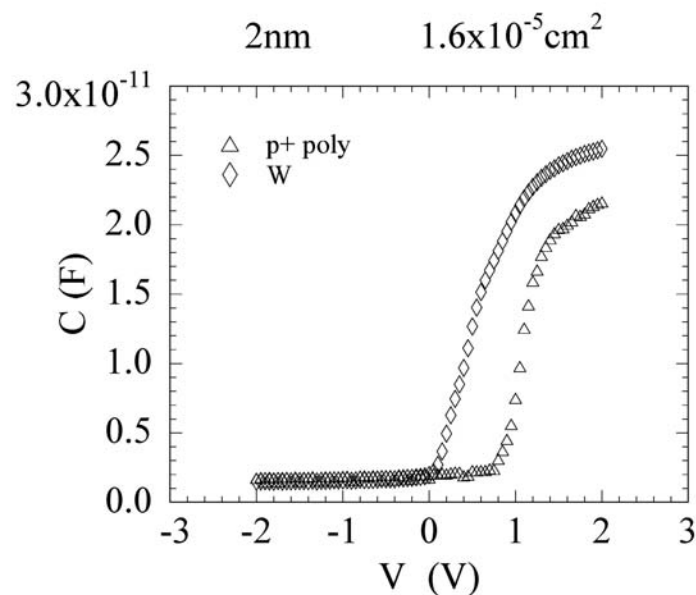
Por otro lado, el reemplazo del poly-Silicio como material de gate es una de las tendencias actuales que se investigan debido a razones tecnológicas y de entendimiento básico de los mecanismos de degradación [6].

La disminución de los dispositivos MOSFET convencionales, requiere innovaciones para resolver los problemas que limitan el rendimiento del dispositivo. Gates de metal son considerados como una posibilidad adecuada para eliminar la degradación de la movilidad de portadores, reducir la capacidad y resistencia parásita, y ajustar la función trabajo del material de gate. Dentro de los materiales investigados, el

Tungsteno (W) es uno de los candidatos debido a su resistividad y su función trabajo cerca de la mitad del gap del Si.

Además de estas motivaciones tecnológicas, el estudio de la degradación del W con el SiO<sub>2</sub> es particularmente interesante desde el punto de vista de la comprensión básica del fenómeno de ruptura. Según los modelos físicos más aceptados, y más adherentes a las observaciones experimentales, el material de ánodo tiene un papel fundamental (ver capítulo 2). Se espera que cambiando el material de gate (W a cambio de poly-Si) la dinámica de la degradación cambie [7].

En parte de este trabajo se estudiará la influencia del W como material de gate. Para evaluar experimentalmente la diferencia en las funciones trabajo se midieron las curvas C-V.



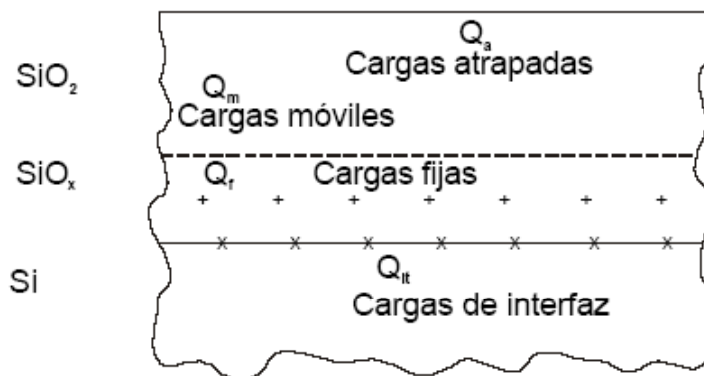
**FIGURA 1.6:** Curva de capacidad en función de la tensión  $V_G$  para capacitores con poly-Si y W como materiales de gates. Las curvas presentan variaciones en la capacidad estacionaria a altas tensiones, y en el flanco de subida.

La Fig.1.6 muestra dos curvas de capacidad a alta frecuencia con distinto material de gate, Tungsteno y  $p^+$  poly-Si. Se observa una pequeña diferencia en los valores de  $C_{OX}$  el cual puede estar relacionado a variaciones en el espesor de óxido entre las muestras.

Por otro lado, es evidente el corrimiento de la tensión de  $V_{FB}$  debido al cambio de material de gate. Se tiene que  $V_{FB}$  es +0.5V y +1V para W y  $p^+$ poly-Si respectivamente según las expresiones 1.6, donde el W es considerado un material de midgap. Es decir que la función trabajo se considera hasta la mitad del gap del Si ( $\phi_m = \chi + E_g/2$ ) [6].

### 1.5 Características del SiO<sub>2</sub> y Si-SiO<sub>2</sub>

Hasta el momento, se ha tratado la capa de SiO<sub>2</sub> como un aislante ideal, sin carga acumulada y sin intercambio de carga con el sustrato. El dióxido de silicio y la interfaz silicio-óxido, en dispositivos reales, nunca son completamente eléctricamente neutros. Pueden existir iones libres, electrones o huecos atrapados en la capa de óxido. Además, debido al proceso de fabricación se pueden inducir cargas en el óxido cerca de la interfaz Si-SiO<sub>2</sub>. Electrones y huecos pueden transferirse desde los estados cristalinos, cerca de Si-SiO<sub>2</sub>, hacia los estados de superficie y viceversa. Como cada dispositivo tiene regiones cubiertas por SiO<sub>2</sub>, las características eléctricas son muy sensibles a la densidad y propiedades de las cargas dentro de las regiones del óxido y de la interfaz Si-SiO<sub>2</sub>.



**FIGURA 1.7:** Esquema de la interfaz Si-SiO<sub>2</sub> donde se ubican las diferentes contribuciones de la carga total.

En la Fig.1.7 se observa la clasificación y ubicación de estas cargas. Consideremos a cada tipo como carga neta por unidad de área. Se tiene, (i)  $Q_{it}$  carga de trampas de interfaz que están localizadas en la interfaz Si-SiO<sub>2</sub> con estados de energía en la banda

prohibida del Silicio, e intercambian cargas con el Silicio en tiempos característicos pequeños. (ii)  $Q_f$  cargas fijas en el volumen del dieléctrico. Ubicadas cerca de la interfaz y no son afectadas por los campos aplicados. (iii)  $Q_{ot}$  cargas atrapadas creadas mediante mecanismos externos como radiación o inyección túnel de portadores. (iv)  $Q_m$  carga móvil debida principalmente a contaminación de sodio o potasio durante el proceso de fabricación [1,2,4,9,10].

### 1.5.1 Estados de Interfaz Si-SiO<sub>2</sub>

En la interfaz Si-SiO<sub>2</sub>, la red cristalina del sustrato y todas las propiedades asociadas con la periodicidad de la red se interrumpen. Como resultado, estados localizados con energía en el gap prohibido del Si son introducidos cerca de la superficie donde portadores pueden ser atrapados [11,12].

La probabilidad de ocupación de un estado por un electrón o hueco es determinada por la energía del estado relativa al nivel de Fermi considerando distribuciones similares a los defectos del sustrato de Si [4].

Se tienen dos tipos de estados (donores y aceptores) dependiendo del estado de carga en función de la ocupación. El nivel es considerado donador si es neutro o positivo al perder un electrón. Y aceptor si es neutro o negativo recombinando con un electrón. Ambos tipos de trampas presentan funciones de distribución en energía en el gap prohibido del Si. En el caso de estados donores, la función distribución se puede escribir como:

$$F_{SD}(E_t) = \left[ 1 - \frac{1}{1 + \frac{1}{g} \cdot \exp\left(\frac{E_t - E_F(V_G)}{k.T}\right)} \right] = \frac{1}{1 + g \cdot \exp\left(\frac{E_F(V_G) - E_t}{k.T}\right)} \quad (1.8)$$

mientras para trampas aceptoras como:

$$F_{SA}(E_t) = \frac{1}{1 + \frac{1}{g} \cdot \exp\left(\frac{E_t - E_F(V_G)}{k.T}\right)} \quad (1.9)$$

donde  $g$  es la degeneración del estado fundamental  $-2$  para donores y  $4$  para aceptores- ,  $E_t$  es el nivel de las trampas y  $E_F$  es el nivel de Fermi.



Entonces, a medida que el potencial de superficie varía (i.e.  $V_G$ ), se tiene un cambio relativo del nivel de Fermi ( $E_t - E_F(V_G)$ ) que modifica la probabilidad de ocupación de los estados de superficie.

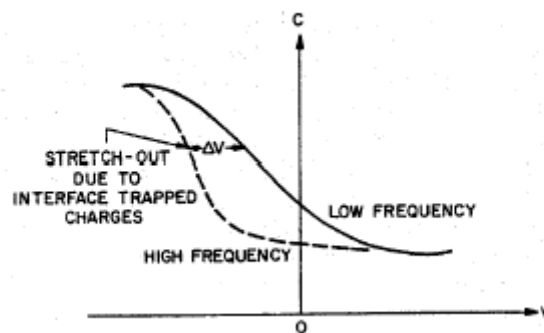
Con el aumento de la curvatura de bandas, una mayor cantidad de estados se ubican debajo del nivel de Fermi aumentando la ocupación. Este cambio en la carga de interfaz con la variación del potencial de superficie, contribuye a la carga total del sistema. Si consideramos el número de carga por unidad de área como  $N_{it} = Q_{it}/q$ , la distribución de estados  $D_{it}$  que puede ser escrita como:

$$D_{it} = \frac{dN_{it}}{dE} = \frac{1}{q} \cdot \frac{dQ_{it}}{dE} \quad [\text{numero de estados} \cdot \text{cm}^{-2} \cdot \text{eV}^{-1}] \quad (1.10)$$

La magnitud del corrimiento de las características eléctricas de la estructura MOS puede ser evaluada considerando el cambio en la tensión de bandas planas  $V_{FB}$ . Aplicando la ley de Gauss se puede encontrar que [4]:

$$\Delta V_{FB} = \frac{q}{C_{OX}} \int_{E_V}^{E_C} [D_{it}^d \cdot F_{SD}(E_t) - D_{it}^a \cdot F_{SA}(E_t)] dE_t = \frac{Q_{it}(V_G)}{C_{OX}} \quad (1.11)$$

La Fig.1.8 muestra los cambios típicos en las curvas C-V debido a estados de interfaz donde la dependencia  $Q_{it}(V_G)$  genera corrimientos no uniformes.



**FIGURA 1.8:** Deformación típica de la curva C-V debido a las cargas atrapadas en la interfase. Notar que este tipo de trampas posee dependencia con la tensión aplicada. Ref.[3]

Los electrones en el Si ubicados cerca de la interfaz Si-SiO<sub>2</sub> pueden hacer transiciones desde estados en la banda de conducción hacia los estados de interfaz. Un electrón en

la banda de conducción puede contribuir a la conducción eléctrica del canal, mientras un electrón atrapado en un estado de interfaz no.

La captura de electrones y huecos en estados de interfaz pueden actuar como centros de “scattering” ubicados en Si-SiO<sub>2</sub> para los portadores del canal reduciendo su movilidad.

Además, los estados de interfaz pueden actuar también como centro de generación-recombinación, y dependen de la orientación del sustrato. En general para un dado proceso de fabricación, la dependencia con la orientación es  $\langle 100 \rangle < \langle 110 \rangle < \langle 111 \rangle$ . En los procesos modernos de fabricación VLSI se utiliza orientación  $\langle 100 \rangle$  y un calentamiento en atmósfera de hidrógenos para disminuir la densidad de estados de interfaz [13].

### 1.5.2 Carga Fija en el SiO<sub>2</sub>

Los distintos tipos de cargas en el volumen del SiO<sub>2</sub> presentan como propiedad fundamental que su estado de carga y posición no pueden ser modificados con el potencial aplicado.

Las cargas fijas, denominadas  $Q_f$ , son cargas positivas localizadas en la capa de SiO<sub>2</sub> cerca de la Si-SiO<sub>2</sub> interfaz. Son debidas generalmente al proceso de fabricación, y presentan una dependencia con la orientación del sustrato similar a los estados de interfaz. Además, pueden actuar como centros de “scattering”, por su posición en la interfaz, y reducir la movilidad de los portadores del canal [13].

Las cargas llamadas atrapadas  $Q_{ot}$ , son producidas por factores externos. Si pares electrón-hueco son generados en la capa de SiO<sub>2</sub>, alguno de estos portadores puede ser atrapado en el óxido. También, si electrones y/o huecos pueden ser inyectados en el SiO<sub>2</sub> mediante túnel o portadores energéticos, algunos de estos pueden ser atrapados en el óxido.

Trampas de electrones o huecos pueden ser fácilmente introducidas bombardeando la estructura MOS con partículas energéticas o fotones [4,10].

Durante el proceso de fabricación existen diversos pasos en los cuales es posible generar este tipo de cargas (implantación iónica, y deposición son algunos ejemplos). Afortunadamente, la mayoría de este tipo de problemas se puede superar mediante el calentamiento final en atmósfera de hidrógeno [1].

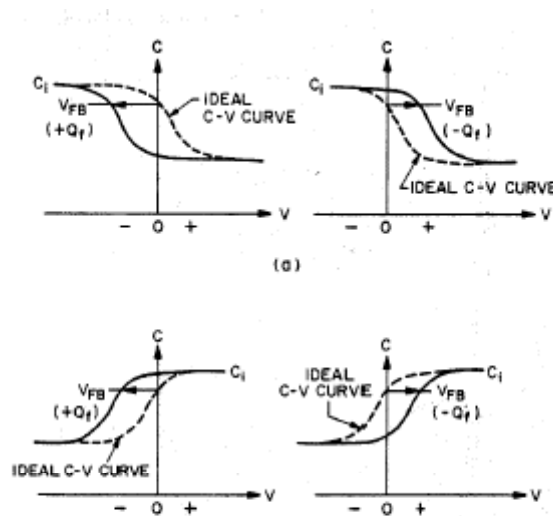
Un caso de particular interés en este trabajo en la generación de defectos mediante fotones gamma a partir de una fuente de Co<sup>60</sup> [13].

Finalmente, la presencia de contaminación por potasio o sodio en el SiO<sub>2</sub> son fuentes de cargas móviles Q<sub>m</sub>. A diferencia de las cargas fijas, Na<sup>+</sup> y K<sup>+</sup> se pueden mover libremente en el SiO<sub>2</sub> cuando un campo es aplicado. Los problemas de este tipo en el proceso VLSI son eliminados, por lo tanto asumimos que no están presentes en las muestras utilizadas y una acumulación de carga de este tipo no es considerada en este trabajo [10].

Como en el caso anterior, la magnitud del corrimiento de las características eléctricas de la estructura MOS, puede ser evaluada considerando el cambio en la tensión de bandas planas V<sub>FB</sub>. Aplicando la ley de Gauss se puede encontrar que [4]:

$$\Delta V_{FB} = \frac{1}{C_{OX}} \left[ \frac{1}{t_{OX}} \cdot \int_0^{t_{OX}} x \cdot \rho(x) \cdot dx \right] = \frac{Q_f}{C_{OX}} \quad (1.12)$$

donde t<sub>OX</sub> es el espesor del óxido, y ρ(x) la distribución de densidad de carga en el volumen del SiO<sub>2</sub>.



**FIGURA 1.9:** Desplazamientos de las curvas C-V en el eje de voltajes debido a la captura de carga positiva o negativa. (a) semiconductor tipo p-Si, (b) semiconductor tipo n-Si. Ref.[3].

La Fig.1.9 muestra esquemáticamente los corrimientos en las curvas C-V a alta frecuencia para los casos de acumulación de carga positiva (Q<sub>ot</sub>>0) y negativa (Q<sub>ot</sub><0), y distintos tipos de substrato (p- y n-Si). Los corrimientos son medidos respecto a la curva C-V ideal (Q<sub>ot</sub>=0). Independientemente del tipo de substrato se

tiene que la acumulación de carga positiva genera corrimientos hacia valores negativos de tensión de gate  $V_G$ , mientras que la carga negativa lo hace hacia valores positivos de  $V_G$  [2,4].

### 1.6 Dispositivo MOSFET: Generalidades

Las propiedades electrónicas del sistema MOS hicieron posible la construcción de los transistores llamados MOSFET (Metal-Oxide-Semiconductor-Field-Efect-Transistor) La estructura básica de un dispositivo MOSFET de canal n es ilustrada en la Fig.1.10. Consiste básicamente en la estructura MOS, estudiada previamente, entre dos junturas p-n, llamadas drain y source. Estas, están eléctricamente desconectadas, al menos que se invierta la superficie del semiconductor entre las junturas, lo que permitiría la circulación de corriente al aplicar una diferencia de potencial [1-3,14].

Para tener una mejor idea de la estructura de un transistor MOSFET, se muestra en la Fig.1.11 una imagen mediante microscopía TEM (Transmission-Electrón-Microscopy) de un transistor de espesor de óxido de 2nm, largo y ancho de canal de 0.3um y 0.2um respectivamente. Se observa el *gate* y las regiones de *drain* y *source* a los costados de la misma.

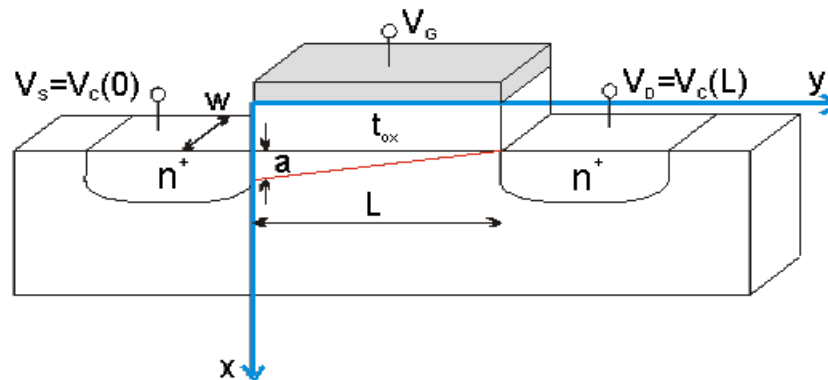
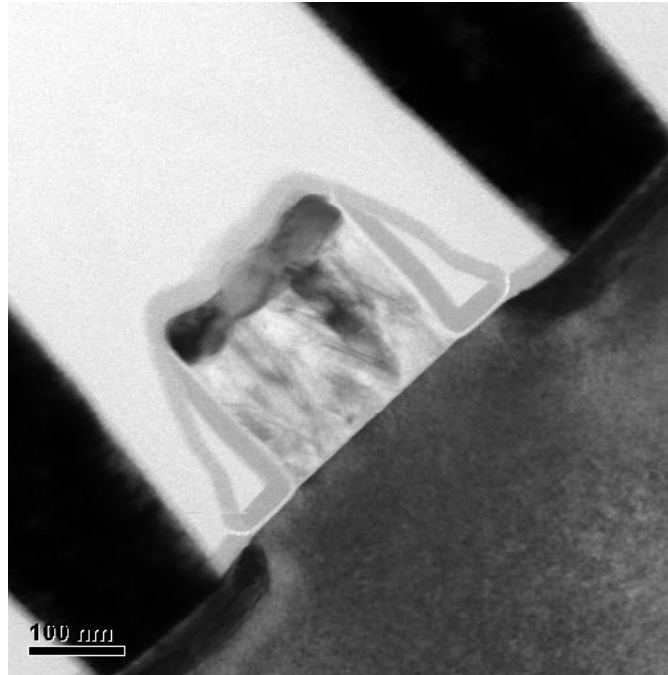


FIGURA 1.10: Esquema de un transistor MOSFET.



**FIGURA 1.11:** Análisis mediante microscopia TEM para un transistor MOSFET de longitud de canal 0.3 $\mu$ m y ancho 0.2 $\mu$ m.

Sobre el esquema de la Fig.1.10 se dispone un sistema de coordenadas x-y, donde el eje-x es perpendicular a la superficie con  $x=0$  en la superficie del Si, y el eje-y es paralelo al canal con  $y=0$  en la juntura source e  $y=L$  en el drain, donde L es la longitud del canal.

Para establecer una corriente a lo largo del canal, es necesario tener una diferencia de potencial entre el source y drain. Por convención asumimos que el source y el substrato están a tierra, mientras al drain se le aplica una tensión constante  $V_d=V_{ds}$  (Fig.1.10). Además, consideremos a  $V(y)$ , el potencial a lo largo del canal, como el quasi-nivel de Fermi para electrones en función de la posición con relación al nivel de Fermi en la región dopada  $n^+$ -Si del source, con lo cual,  $V(y=L)=V_{ds}$  al final del canal. Notar que respecto del diodo canal-substrato,  $V(y)$  tiene el mismo rol que el potencial en las junturas p-n [14].

Para describir en forma simple la corriente que circula entre las junturas,  $I_{ds}$ , diversas aproximaciones son consideradas. En un MOSFET de canal largo, se supone que la variación del campo eléctrico en la dirección a lo largo del canal, es menor que la variación del campo en la dirección perpendicular a la interfaz. Por otro lado, se asume que las corrientes de huecos y de generación-recombinación son despreciables

con lo cual la ecuación de continuidad puede ser aplicada a la corriente de electrones [14],

$$J_n(x, y) = -q \cdot \mu_n \cdot n(x, y) \cdot \frac{dV(y)}{dy} \quad (1.13)$$

donde  $n(x, y)$  es la densidad de electrones, y  $\mu_n$  la movilidad de los electrones en el canal. A partir de esta expresión e integrando, la corriente  $I_{ds}$  se escribe como [14]:

$$I_{ds} = \frac{-\mu_n \cdot W}{L} \cdot \int_{V_s=0}^{V_{ds}} Q_n(V) \cdot dV \quad (1.14)$$

donde  $Q_n$  es la carga de la capa de inversión (Fig.1.4). Si asumimos que la distribución de carga no tiene espesor, es decir, que está ubicada exactamente en la interfaz Si-SiO<sub>2</sub> se puede encontrar una solución analítica de  $Q_n$  [14].

$$Q_n = -C_{OX} (V_G - V_{FB} - 2 \cdot \phi_b - V) + \sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot N_a \cdot (2 \cdot \phi_b + V)} \quad (1.15)$$

donde  $N_a$  es el dopaje uniforme del sustrato.

Sustituyendo esta expresión en 1.14 e integrando, es posible obtener una solución analítica para la corriente  $I_{ds}$  [14],

$$I_{ds} = \frac{-\mu_{eff} \cdot C_{OX} \cdot W}{L} \cdot \left[ \left( V_G - V_{FB} - 2 \cdot \phi_b - \frac{V_{ds}}{2} \right) V_{ds} - \frac{2 \cdot \sqrt{2 \cdot \epsilon_{Si} \cdot q \cdot N_a}}{3 \cdot C_{OX}} \cdot \left[ (2 \cdot \phi_b + V_{ds})^{3/2} - (2 \cdot \phi_b)^{3/2} \right] \right] \quad (1.16)$$

Esta ecuación representa las características básicas de un MOSFET. Para una tensión dada  $V_G$ , la corriente  $I_{ds}$  incrementa linealmente con la tensión  $V_{ds}$ , para luego saturar gradualmente a medida que aumenta  $V_{ds}$ .

Si consideramos la región lineal ( $V_G$  pequeño) y se desarrolla la expresión de  $I_{ds}$  en serie de potencia en función de  $V_{ds}$ , se obtiene lo siguiente manteniendo el primer término

$$I_{ds} = \frac{-\mu_{eff} \cdot C_{OX} \cdot W}{L} \cdot (V_G - V_T) V_{ds} \quad (1.17)$$

donde  $V_T$  viene dado por: 
$$V_T = V_{FB} + 2 \cdot \phi_b + \frac{\sqrt{4 \cdot \epsilon_{Si} \cdot q \cdot N_a \cdot \phi_b}}{C_{OX}} \quad (1.18)$$

Este parámetro, llamado tensión de encendido del canal, es relevante en la descripción del funcionamiento de un MOSFET.  $V_T$  es simplemente la tensión de  $V_G$  cuando el potencial de superficie,  $\psi_s$ , es igual a  $2\psi_b$  (condición de inversión); y la carga del silicio es igual la carga de la región desierta para este potencial de superficie (Fig.1.4). Cuando  $V_G < V_T$ , circula una cantidad pequeña de corriente por el canal.

### 1.7 Técnica de Diodo Controlado por Puerta

Como se discutió en la sección 1.5, la captura de cargas fijas en el  $\text{SiO}_2$  y la generación de trampas en la interfaz  $\text{Si-SiO}_2$  distorsionan las características eléctricas de los dispositivos MOSFET.

Independientemente del mecanismo de generación, existen una gran variedad de técnicas y metodologías para evaluar trampas y cargas. En particular, es de vital importancia conocer en detalle la calidad de la interfaz  $\text{Si-SiO}_2$  en una estructura MOS. Una de las técnicas más conocidas propuesta por Grove et.al. [15] es la del diodo controlado por puerta (GCD Gate-Controlled-Diode) la cual considera el efecto del potencial de superficie en la junturas p-n de un MOSFET.

El esquema de medición del diodo controlado por puerta (GCD) se muestra en la Fig.1.12(2). Como se observa, en un dispositivo nMOSFET se polarizan las junturas drain y source en inversa a una tensión constante  $V_R$  ( $V_R > 0$  para n<sup>+</sup>-Si/p-Si), y se mide la corriente de substrato  $I_R$  en función de la tensión de gate  $V_G$ , variando desde acumulación hasta inversión.

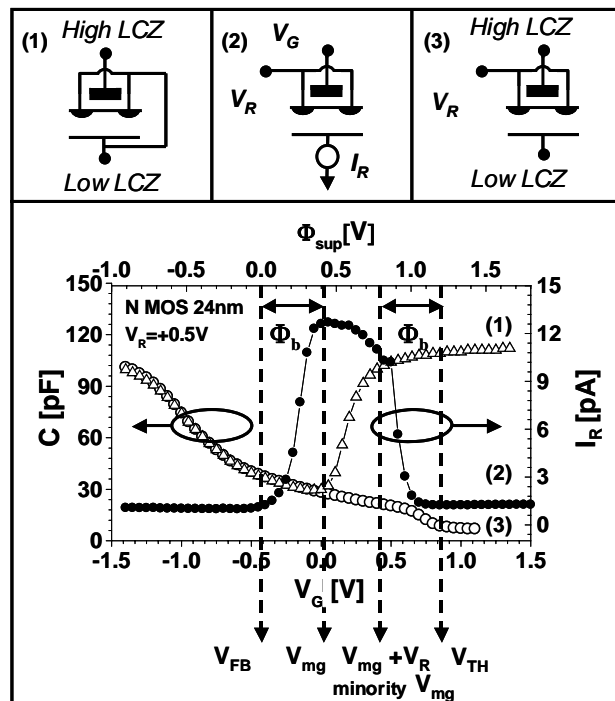
Al variar la tensión  $V_G$  la corriente de substrato genera la típica curva de  $I_R$  como se muestra en la Fig.1.12. Se observa a  $V_G < 0$  un nivel constante de corriente que entorno a  $V_G = 0$  aumenta, formando una joroba o pico que luego retorna a niveles similares para tensiones  $V_G$  más altas.

La comparación de la corriente con el potencial de superficie,  $\psi_s$ , es una herramienta importante para identificar las condiciones sobre la interfaz en la cual  $I_R$  aumenta y disminuye. Para calcular el potencial de superficie, se consideraron las curvas C-V en función de  $V_G$  según la expresión 1.5.

Se realizaron dos tipos de mediciones C-V, una con el esquema GCD donde el source y drain están a un potencial positivo  $V_R$  (GCD-CV), y otra con source y drain cortocircuitada al substrato, la cual resulta en una forma similar a la C-V de baja frecuencia (LFL-CV). El diagrama de configuración de estas mediciones se observa

en la Figs.1.12(1) y 1.12(3). Superpuestas a estas últimas se encuentra una medición típica de  $I_R$  a  $V_R=+0.5V$ .

A partir de la comparación encontramos que la primera discontinuidad esta asociada a la tensión de midgap,  $V_{mg}$ , para portadores mayoritarios (ver Tabla 1.1). Se tiene que, entre  $V_{FB}$  y  $V_{mg}$ , la corriente  $I_R$  aumenta considerablemente con la región desierta debajo del gate. Por otro lado, la disminución pronunciada ocurre en la tensión de midgap para portadores minoritarios ( $V_{mg}+V_R$ ), y se retorna al nivel inicial en la inversión de la superficie ( $V_T$ ). Es decir, en acumulación de portadores mayoritarios, solamente los centros de generación-recombinación en la región desierta de la juntura p-n contribuyen a la corriente  $I_R$ , lo cual se refleja en un nivel constante de corriente. A medida que la región debajo del gate alcanza la deserción, los centros en el volumen del Si dentro de la región desierta y las trampas en la interfaz Si-SiO<sub>2</sub> contribuyen a la corriente de generación total. Mientras que la primera contribución (región desierta) incrementa la corriente en forma gradual, la contribución de interfaz genera una discontinuidad en  $I_R$ .



**FIGURA 1.12:** Comparación de las curvas de capacidad (1) y (3), con la corriente de sustrato en configuración de diodo controlado por puerta (2).



Cuando la superficie es invertida, sucede lo contrario. La mayoría de los centros de generación-recombinación en la interfaz están ocupados y su contribución a la corriente de generación desaparece, resultando en una disminución brusca de  $I_R$ .

La teoría Shockley-Read-Hall describe las componentes de  $I_R$ , y permite relacionar las discontinuidades con la densidad de estados de interfaz. Dependiendo de la región de carga involucrada podemos escribir las distintas componentes.

Como discutimos, con la superficie del Si en acumulación, la corriente viene dada por las juntas p-n del drain y del source en inversa. Tomando los resultados de los mecanismos de generación-recombinación de portadores [15,16], la corriente  $I_R$  se puede escribir mediante la expresión de generación de portadores en la región desierta en una junta p-n.

$$I_{gen} = q.U.W.A \quad (1.19)$$

donde  $U$  es el coeficiente de generación-recombinación dado por  $U = \frac{1}{2} \cdot \frac{n_i}{\tau}$ , siendo  $n_i$

la densidad intrínseca y  $\tau$  el tiempo característico de generación.  $W$  y  $A$  son el ancho y el área de la región desierta en la junta para una tensión  $V_R$  constante.

A medida que  $V_G$  aumenta, la región desierta se extiende debajo del gate, con lo cual se suma una nueva componente también descrita por el mismo mecanismo de generación, pero en este caso, se considera el espesor máximo de la región desierta,  $x_{max}$ , y el área  $A_S$  del gate. Luego,

$$I_{gen} = q.U.x_{max}.A_S \quad (1.20)$$

En estas condiciones, la superficie también contribuye a la corriente total. En este caso considerando la generación superficial la corriente viene dada por:

$$I_{sup} = q.U_{SUP}.A_S \quad (1.21)$$

donde  $U_{SUP}$  es el coeficiente de generación-recombinación por unidad de área dado

por:  $U_{SUP} = \frac{1}{2} \cdot n_i \cdot S_o$  con la velocidad superficial  $S_o = \sigma \cdot v_{th} \cdot N_{it}$  donde  $\sigma$  es la sección

eficaz de captura (asumida igual para electrones y huecos), y  $v_{th}$  la velocidad térmica de los portadores.

De esta manera, la discontinuidad de las curvas  $\Delta I$  se puede escribir como [15]:

$$\Delta I = q.A.\frac{n_i}{2}.\sigma.v_{th}.N_{it} \quad (1.23)$$

Por otro lado, los corrimientos en tensión de las discontinuidades en las curvas  $I_R$ , que están asociadas a las tensiones  $V_{mg}$  y  $V_T$ , dan información sobre la carga atrapada y sus efectos se pueden cuantificar usando las expresiones 1.11 y 1.12 de la sección 1.5. En este trabajo las ecuaciones anteriores producen los valores de  $N_{it}$  y  $N_{ot}$  que caracterizan a los dispositivos degradados usando la técnica de diodo controlado por puerta.

### **Resumen del Capítulo 1**

En este capítulo se discutieron brevemente los aspectos teóricos que se aplican en el funcionamiento de capacitores y transistores MOS.

Se describió la estructura MOS y la acumulación de carga en la superficie Si-SiO<sub>2</sub> en función de la tensión de gate.

La captura de carga y la generación de estados fueron analizados, independientemente del mecanismo de creación de defectos, con relación a las curvas de capacidad-tensión.

Finalmente, se mencionó la técnica de diodo controlado por puerta y se la explicó según la teoría de generación-recombinación de portadores.

## Referencias Capítulo 1

- [1] S. Wolf, "Silicon Processing for the VLSI era", Vol.3: the Submicron MOSFET, Lattice press, 1995.
- [2] S.M. Sze,"VLSI Technology", McGraw-Hill, 1988.
- [3] R.J. Baker, H.W. Li, and D.E. Boyce,"CMOS circuit design, layout and simulation", IEEE Press, 1998.
- [4] E. H. Nicollian and J. R Brews, "MOS Physics and Technology", Wiley, 1982.
- [5] A. S. Grove, B. E. Deal, E. H. Snow and C. T. Sah," Investigation of thermally oxidised silicon surfaces using metal-oxide-semiconductor structures",Solid-State Elect. 8(2),145-163 , 1965
- [6] H.S.P. Wong, "Beyond the conventional transistor", IBM J.Res.&Dev. Vol.46, No.2/3, 2002.
- [7] J.H. Stathis, IBM J.Res.&Dev. 46(23), 265, (2002).
- [8] C. G. B. Garrett and W. H. Brattain, "Physical Theory of Semiconductor Surfaces", Phys. Rev. 99, 376–387, (1955)
- [9] P. Balk, "The Si-SiO<sub>2</sub> System", materials Science Monographs No. 32, Elsevier, 1988.
- [10] Y. Taur and T.H. Ning, "Fundamental of Modern VLSI Devices", Cambridge Press, 1998.
- [11] William Shockley," On the Surface States Associated with a Periodic Potential", Phys. Rev. 56, 317, (1939).
- [12] W. Shockley and G. L. Pearson," Modulation of Conductance of Thin Films of Semi-Conductors by Surface Charges", Phys. Rev. 74, 232–233 (1948).
- [13] T. R. Oldham," Total Ionizing Dose Effects in MOS Oxides and Devices", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 50, NO. 3, JUNE 2003.
- [14] R.S. Muller and T.I. Kamins, "Device electronics for integrated circuits", John Wiley & Sons, 1986.
- [15] A.S. Grove, "Physics and Technology of Semiconductor Devices", John-Wiley & Sons, 1967.

---

# Capítulo 2

---

## **Modelos de Conducción y Degradación Asociada en Estructuras MOS**

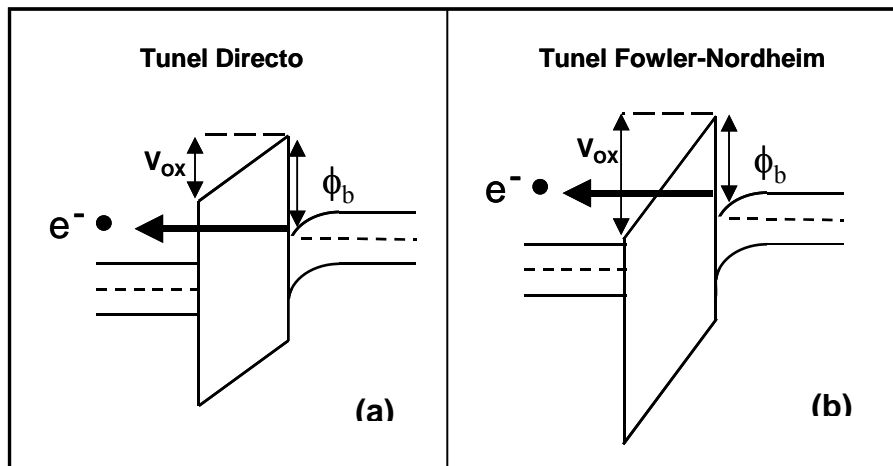
Conocer en detalle las características de conducción en el óxido de gate de los dispositivos MOS es importante por su impacto en las aplicaciones tecnológicas. En los transistores MOSFET, el óxido es una barrera de potencial que impide el paso de portadores y permite generar un campo eléctrico perpendicular a la superficie del canal conductor. En memorias no-volátiles, basadas en la geometría de los transistores MOS con un electrodo inmerso en el óxido de gate (EPROM, E2PROM, Flash), la conducción a través del óxido permite grabar y borrar las celdas unitarias de memoria. Por otra parte, la circulación de portadores en el óxido de gate, debido a las condiciones de funcionamiento, genera defectos que se traducen en degradación y eventual ruptura del  $\text{SiO}_2$ .

En este contexto, la interpretación física de los mecanismos permite determinar los parámetros tecnológicos y de funcionamiento relevantes. Particularmente, las mediciones experimentales en dispositivos discretos pueden ayudar a predecir la degradación de circuitos complejos.

En este capítulo nos proponemos describir los modelos de conducción a través de la capa de óxido, y los mecanismos de degradación asociados a la conducción con relación a la energía de los portadores.

## 2.1 Mecanismos de Conducción

En la estructura MOS, el óxido representa, en el sentido clásico, una barrera impenetrable para los electrones de la banda de conducción del silicio con energía cinética menor a 3.1 eV. Sin embargo al aplicar una tensión baja al gate, tal que la energía cinética de los electrones es claramente menor a 3eV, se observa circulación de corriente. Este fenómeno de conducción se debe al túnel de portadores a través del óxido por la naturaleza cuántica del electrón, que permite contar con una probabilidad finita de atravesar la barrera de potencial aún si la energía cinética no es suficiente [1]. Esta probabilidad aumenta con el campo aplicado y/o con la disminución de la altura o espesor de la barrera de potencial [2]. Tal como muestra la Fig.2.1, el túnel tiene lugar esencialmente a través de una barrera de potencial trapezoidal formada por la banda prohibida del SiO<sub>2</sub>. Aunque el mecanismo físico es el mismo, se suele diferenciar dos regímenes de conducción túnel en estructuras MOS: túnel directo (DT) y túnel Fowler-Nordheim (FN).



**FIGURA 2.1:** Modos de conducción túnel en estructuras MOS. (a) Túnel directo. (b) Túnel Fowler-Nordheim.

El primero (Fig.2.1(a)) esta asociado a bajos campos donde la caída de potencial en el óxido  $V_{OX}$  es menor que la altura de la barrera  $\phi_b$ . De esta forma, el espesor de la barrera en el nivel de Fermi del cátodo es igual al espesor del óxido. Para el otro régimen (Fig.2.1(b)), a campos altos ( $V_{OX} > \phi_b$ ) la barrera asociada es triangular y por lo tanto la distancia de túnel es menor que el espesor del óxido, y decrece con la tensión aplicada.

Notar que los electrones de la banda de conducción ( $E_C$ ) del cátodo (generalmente silicio dopado tipo n o p), y huecos, de la banda de valencia ( $E_V$ ) del ánodo (generalmente poly-Si), pueden ser inyectados en un proceso similar, a pesar que la barrera de potencial para los huecos es mayor (ver Fig.2.3).

### 2.1.1 Túnel Fowler-Nordheim

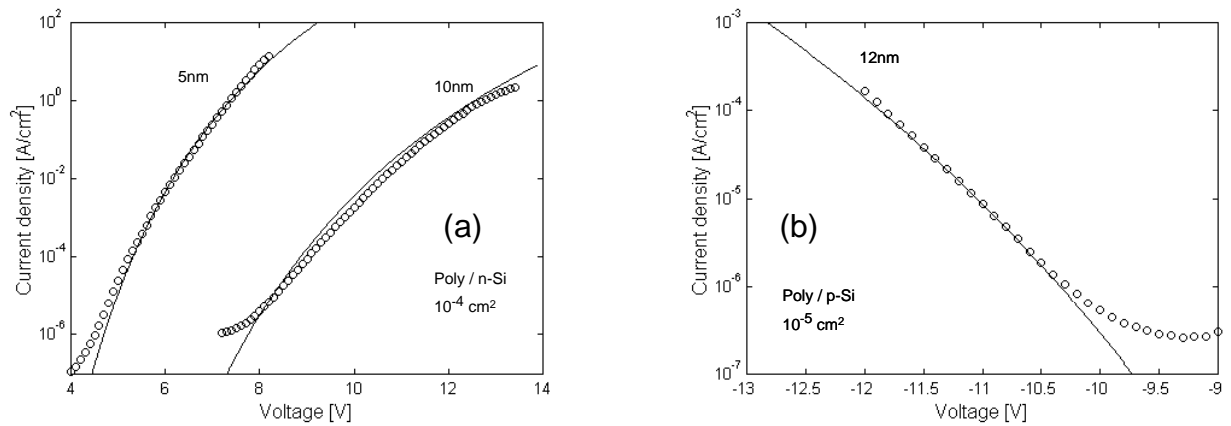
El primer tipo de conducción túnel se refiere a los electrones que son inyectados a la banda de conducción del  $SiO_2$  a través de una barrera de energía triangular. Fowler y Nordheim en 1928 resolvieron la ecuación de Schrodinger de una barrera triangular para obtener la probabilidad de emisión de un metal en un campo eléctrico intenso. La expresión Fowler-Nordheim en su forma analítica simple se puede escribir de la siguiente manera [3],

$$J(E_{OX}) = A.E_{OX}^2 \cdot \exp\left(-\frac{B}{E_{OX}}\right) \quad [2.1.a]$$

$$A = \frac{q^2}{16.\pi^2 \cdot \hbar.m_{OX}.\phi_b} = 1.54 \times 10^{-6} \cdot \frac{m}{m_{OX}.\phi_b} \quad [2.1.b]$$

$$B = \frac{4}{3} \cdot \frac{\sqrt{2.m_{OX}}}{q.\hbar} \phi_b^{3/2} = 6.83 \times 10^7 \cdot \sqrt{\frac{m_{OX}}{m}} \cdot \phi_b^{3/2} \quad [2.1.c]$$

donde  $E_{OX}$  es el campo medio en el  $SiO_2$  ( $V_G / t_{OX}$ ),  $m_{ox}$  la masa eficaz del electrón en el  $SiO_2$ ,  $m$  es la masa eficaz del electrón en el Si,  $q$  la carga del electrón,  $\hbar$  es la constante de Planck, y  $\phi_b$  es la barrera de potencial Si- $SiO_2$ .



**FIGURA 2.2:** Comparación de curvas I-V experimentales con el modelo FN para distintos tipos de dispositivos. (a) poly / n-Si de 5 y 10 nm. (b) poly / p-Si de 12 nm.

Básicamente, la expresión 2.1 representa la densidad de electrones inyectados en función del campo medio en el óxido de gate. Esto se puede observar en la Fig.2.2, donde el modelo FN se superpone con datos experimentales de algunos dispositivos usados en este trabajo. El cálculo de la corriente de túnel de electrones de la banda de conducción (ECB) del Silicio coinciden con las mediciones para distintos espesores de óxido y tipo de sustrato.

### 2.1.2 Túnel Directo (DT)

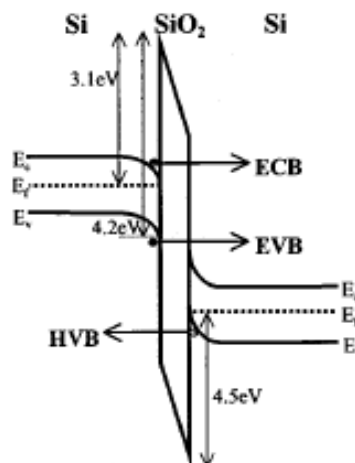
Para espesores de óxido menores a 6nm, la corriente de túnel observada experimentalmente tiene una menor dependencia funcional con el campo que el caso anterior. Esto es atribuido al régimen de conducción de túnel directo (DT), donde los electrones se enfrentan a una barrera trapezoidal como se mostró en la Fig.2.1(a).

Varios trabajos se han desarrollado para encontrar una expresión analítica simple del DT, y actualmente no existe un único modelo aceptado.

Faigon et. al propuso en base de la aproximación WKB un modelo analítico simple para dispositivos Al/SiO<sub>2</sub>/p-Si donde se destaca la buena transición al régimen FN, y el valor constante del vector de onda en el cálculo de la probabilidad de transmisión [4]. Por otro lado, Schuegraf et al. desarrollo también sobre la base de la aproximación WKB una expresión de túnel directo utilizando una barrera de potencial

trapezoidal [5,6]. La corriente obtenida en base a este modelo físico no se acerca a cero a medida que  $V_G$  tiende a cero, y los datos experimentales no son bien ajustados en la región de  $V_G < 1V$ .

También se propusieron simulaciones cuánticas que utilizan complicadas estructuras de bandas para electrones y huecos para cuantificar la corriente de túnel [7-9]. Si bien este tipo de cálculo puede ser mas preciso, es necesario un conocimiento detallado de las densidades de estados y en definitiva no se obtiene una expresión analítica simple. Chenming Hu et al. [10] propuso una expresión semi-empírica simple para predecir todas las componentes de la corriente de túnel (huecos y electrones). El cálculo de la corriente de túnel en función de  $V_G$ , para un valor fijo de  $t_{OX}$  depende solo de dos parámetros, la masa efectiva en el óxido  $m_{OX}$ , y la altura de barrera de potencial  $\phi_b$ . Con valores apropiados  $m_{OX}$  y de  $\phi_b$  se pueden calcular las componentes principales de la corriente de túnel. Estas son: electrones de la banda de conducción (ECB electron-conduction-band), electrones de la banda de valencia (EVB electron-valence-band), y huecos de la banda de valencia (HVB holes-valence-band). La Fig.2.3 muestra cada una de estas componentes en un diagrama de bandas.



**FIGURA 2.3:** Diagrama de bandas de un sistema MOS y las componentes de la corriente de túnel. ECB: electrones de la banda de conducción, EVB: electrones de la banda de valencia y HVB: huecos de la banda de valencia. Ref.[10].



La expresión propuesta en este modelo es la siguiente [10],

$$J_n = \frac{q^3}{8\pi\hbar\phi_b\epsilon_{OX}} \cdot C(V_G, V_{OX}, t_{OX}, \phi_b) \cdot \exp \left[ \frac{-8\pi\sqrt{2m_{OX}} \cdot \phi_b^{3/2} \cdot \left[ 1 - \left( 1 - \frac{|V_{OX}|}{\phi_b} \right)^{3/2} \right]}{3\hbar q |E_{OX}|} \right] \quad [2.2.a]$$

donde la función de corrección  $C(V_G, V_{OX}, t_{OX}, \phi_b)$  viene dada por:

$$C(V_G, V_{OX}, t_{OX}, \phi_b) = \left( \frac{V_G}{t_{OX}} \right) \cdot N \cdot \exp \left[ \frac{20}{\phi_b} \left( \frac{|V_{OX}| - \phi_b}{\phi_{bo}} + 1 \right)^\alpha \cdot \left( 1 - \frac{|V_{OX}|}{\phi_b} \right) \right] \quad [2.2.b]$$

donde, además de los parámetros citados en la expresión 2.1,  $\alpha$  es un parámetro de ajuste dependiendo del proceso de túnel (ver tabla 2.1),  $\phi_{bo}$  barrera de potencial del Si/SiO<sub>2</sub> (3.2eV para electrones y 4.5eV para huecos),  $\phi_b$  barrera de potencial para cada tipo de portador (3.1eV para ECB, 4.2eV para EVB y 4.5eV para HVB con electrodo de Si), y  $N$  la densidad de portadores en inversión o acumulación del electrodo de inyección.

La dependencia exponencial de  $C$  cubre la mayoría de los efectos secundarios como las incertezas debidas a la densidad de estados en la interfaz del electrodo y a la masa eficaz de los portadores en el óxido, que afectan la curvatura de la corriente a baja tensión de gate.

Para las componentes ECB y HVB, la función  $N$  se escribe como:

$$N = \frac{\epsilon_{OX}}{t_{OX}} \left\{ S \cdot \ln \left[ 1 + e^{\left( \frac{V_{ge} - V_{th}}{S} \right)} \right] + v_t \cdot \ln \left[ 1 + e^{-\left( \frac{V_g - V_{FB}}{v_t} \right)} \right] \right\} \quad [2.2.c]$$

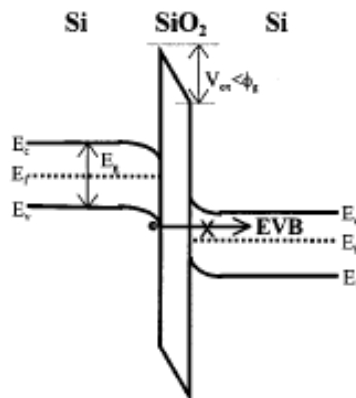
donde  $v_t$  es  $kT/q$ ,  $V_{ge}$  es  $V_G - V_{poly}$  la tensión de gate menos la caída de potencial por la región desierta en el poly gate, y  $S$  es el “subthreshold swing” [2,11].

Esta expresión de  $N$  (2.2.c) describe la tendencia de crecimiento de la densidad de portadores en inversión (primer termino de 2.2c) y acumulación (segundo termino de 2.2c), y la dependencia funcional es similar a la de la densidad de población con el potencial de superficie [11].

Por otro lado, para la componente EVB, se propone:

$$N = \frac{\epsilon_{OX}}{t_{OX}} \left\{ 3 \cdot v_t \cdot \ln \left[ 1 + e^{\left( \frac{q \cdot |V_{OX}| - E_g}{3 \cdot k \cdot T} \right)} \right] \right\} \quad (2.2.d)$$

Esta expresión es muy similar a la anterior, pero tiene en cuenta que no solo la densidad de portadores afecta la corriente de túnel, también la densidad de estados receptores de los portadores túnel. Como se muestra en la Fig.2.4, para el caso  $q \cdot V_{OX} < E_g$  la componente EVB no posee niveles de energía en el ánodo debido al gap del Si. Con lo cual el coeficiente de transmisión para EVB es despreciable.



**FIGURA 2.4:** Diagrama de bandas de un sistema MOS donde se muestra la prohibición de corriente túnel cuando no existen estados receptores para los electrones de la banda de valencia EVB. Ref.[10].

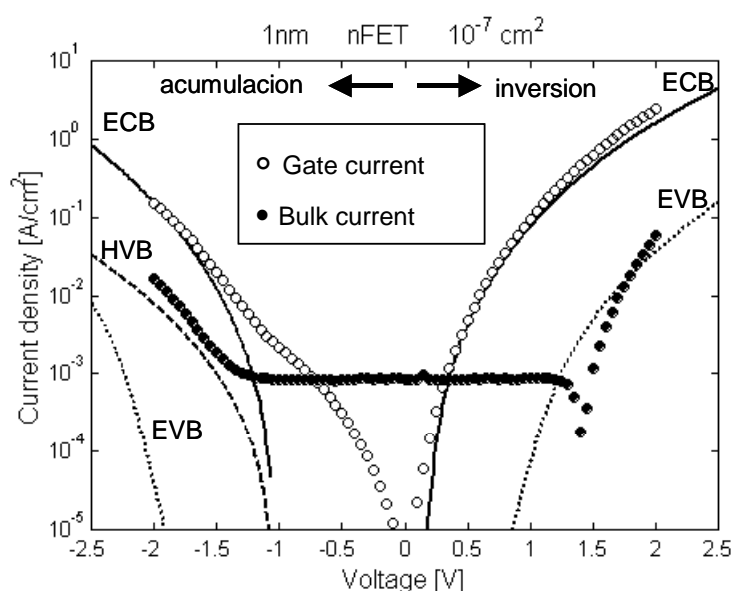
A partir de un ajuste general de los parámetros de modelo, con relación a datos experimentales, se mostraron en [10] los valores adecuados (Tabla 2.1) en función de las componentes de corriente.

Parámetros	ECB	EVB	HVB
$m_{OX}$	$0.4 m_o$	$0.3 m_o$	$0.32 m_o$
$\phi_b$	3.1 eV	4.2 eV	4.5 eV
$\phi_{bo}$	3.1 eV	3.1 eV	4.5 eV
$\alpha$	0.6	1	0.4

**TABLA 2.1:** Parámetros del modelo para los distintos procesos de túnel

### 2.1.3 Comparación con Datos Experimentales

El modelo descrito anteriormente se utilizó para interpretar las curvas características I-V de diversos dispositivos utilizados en este trabajo. La Fig.2.5 muestra una medición realizada sobre un transistor MOS de canal-n con óxido de gate ultra delgado (1nm). Se observa una coincidencia entre el modelo y los datos experimentales. La corriente de gate y de substrato (notar que se cortocircuita drain-source-bulk) coincide aceptablemente en todo el rango de  $V_G$ , desde acumulación a inversión. Según el modelo, la corriente de gate es debida mayoritariamente a túnel de electrones de la banda de conducción (ECB), mientras para la corriente de substrato se tienen distintas contribuciones en inversión y en acumulación. En inversión los electrones de la banda de valencia (EVB) son mayoritarios, mientras en acumulación los huecos de la banda de valencia (HVB) dejan de ser despreciables.

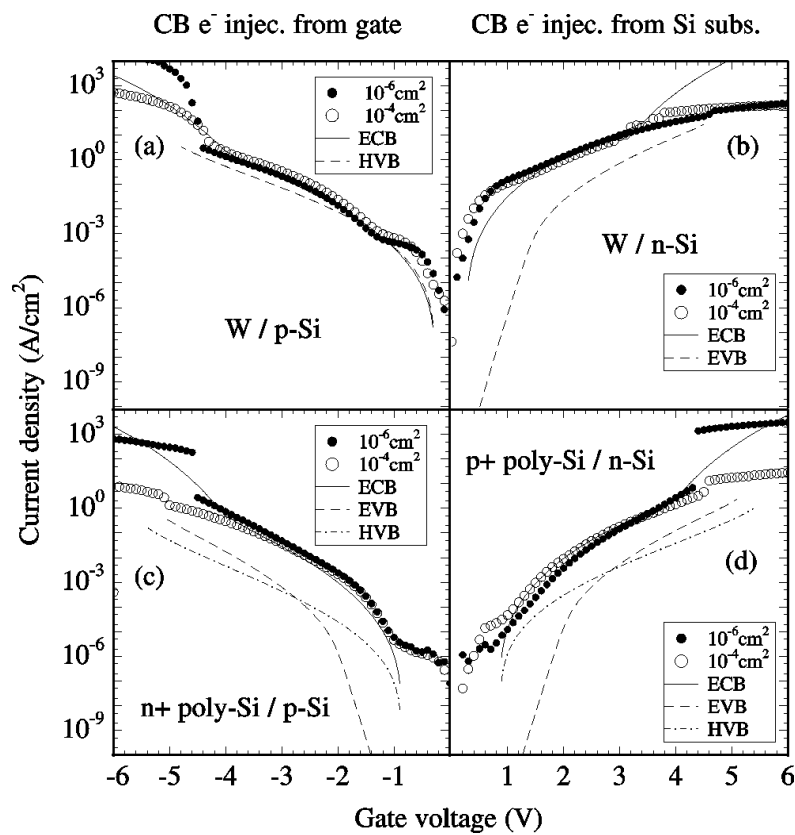


**FIGURA 2.5:** Comparación de curvas de corriente I-V experimentales con el modelo DT para el caso de un n-MOSFET de 1nm de óxido de gate.

El mismo análisis se realizó para los capacitores MOS con diferentes materiales de gate, Tungsteno (W) y poly-Silicio. Se compararon las características I-V en acumulación con el modelo para dispositivos de distintas áreas, y tipo de substrato.

La Fig.2.6 muestra los resultados para cada caso: W / p-Si; W / n-Si; n<sup>+</sup>poly-Si / p-Si y p<sup>+</sup>poly-Si / n-Si, considerando 2nm como espesor de óxido de gate. Se observa una

buena correspondencia entre los datos experimentales y el modelo, aún en el caso de las muestras con puerta de Tungsteno (W) donde se asumió un nivel de Fermi a mitad del gap del Si (sección 1.4). En todos los casos, los electrones de la banda de conducción del Si (ECB) son los portadores mayoritarios en la corriente de túnel directo. Sin embargo, hay una excepción en el caso de W gate con sustrato tipo p-Si. Según el cálculo, la corriente de huecos del p-Si (HVB), y la corriente de electrones del W (ECB) son comparables, debido a la particular combinación de la masa eficaz con la barrera de potencial.



**FIGURA 2.6:** Comparación de curvas I-V experimentales con el modelo DT para distintos tipo de dispositivos. (a) W / p-Si, (b) W / n-Si, (c) n+poly-Si / p-Si y (d) p+poly-Si / n-Si. En todos los casos  $t_{ox} = 2\text{nm}$ .

Según el análisis realizado, podemos asumir que el modelo propuesto por Chenming Hu et.al. [10] describe adecuadamente, en ambos regímenes de corriente túnel (DT y FN), la conducción a través de la estructura MOS de los dispositivos utilizados para

distintos espesores de óxido (1nm – 24nm), tipo de sustrato (n- o p-Si) y material de gate (W o poly-Si).

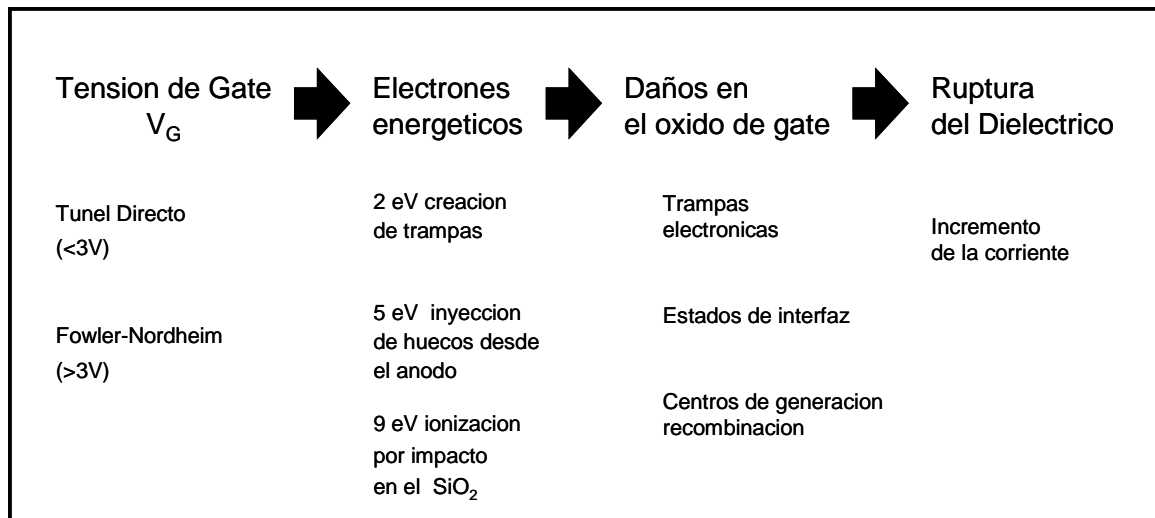
## **2.2 Degradación del Óxido de Gate**

Al aplicar una diferencia de potencial en la estructura MOS se establece una corriente debido a la diferencia de niveles de Fermi entre el ánodo y cátodo. Los electrones inyectados en la banda de conducción del SiO<sub>2</sub> adquieren energía del campo aplicado y circulando a través del óxido pierden su energía creando defectos microscópicos que afectan las propiedades dieléctricas del SiO<sub>2</sub>.

La situación puede resumirse en el esquema de la Fig.2.7. La corriente que circula a través del óxido genera defectos mediante distintos mecanismos según la energía de los portadores. Estos efectos causan una degradación gradual, que eventualmente logran la ruptura de la capa dieléctrica del sistema MOS.

La degradación de los sistemas MOS puede ser predecible sobre la base de datos experimentales y modelos físicos [12-14]. La continua investigación de los mecanismos de degradación involucrando nuevos aspectos tecnológicos (como por ej.: materiales y reducción del espesor del óxido y geometría) permite mejorar la descripción física y en consecuencia, las predicciones sobre la vida útil de dispositivos y circuitos CMOS.

En la actualidad al menos, tres mecanismos de generación de defectos fueron identificados experimentalmente con relación a la energía de los portadores: (i) ionización por impacto en el SiO<sub>2</sub> band-gap, (ii) inyección de huecos desde el ánodo (Anode-Hole-Injection AHI), y (iii) liberación y transporte de hidrógeno del ánodo (Hydrogen-Release HR).



**FIGURA 2.7:** Esquema de evolución de la degradación y ruptura del óxido de gate con relación a la energía de los portadores.

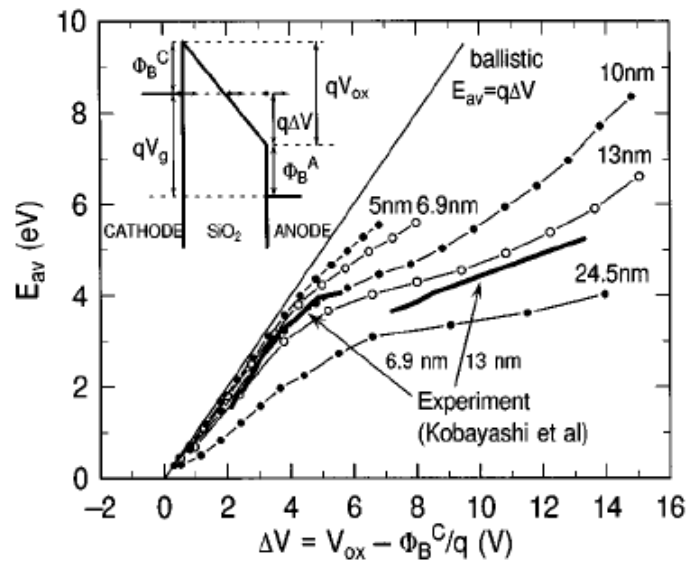
### 2.2.1 Energía de los Portadores

La existencia de electrones energéticos en el  $SiO_2$  y su relación con la degradación y ruptura del dieléctrico se mostró en varios trabajos [12-19]. Básicamente se encontró que los electrones inyectados en la banda de conducción del  $SiO_2$  ganan energía del campo aplicado [16,19] y que la pérdida de energía de estos portadores lleva a la eventual ruptura del dieléctrico [20-22].

La Fig.2.8 muestra uno de los resultados más importantes publicados al respecto [22]. Se observa, a partir de datos experimentales y simulaciones Monte Carlo (MC), la energía promedio  $E_{av}$  de los portadores en la interfaz  $SiO_2$ -ánodo en función de la caída de potencial remanente en el ánodo  $\Delta V$ , definido como se muestra en la figura. La energía esperada para transporte balístico ( $E_{av}=q.\Delta V$ ) también es incluida para comparación.

Para óxidos delgados, donde el régimen es de túnel directo, el transporte es balístico. Los electrones inyectados atraviesan el  $SiO_2$  ganando energía del potencial aplicado sin sufrir colisiones elásticas o inelásticas [16]. Es decir, la energía de los portadores en el ánodo esta determinada simplemente por la diferencia de potencial en el óxido  $V_G$  [23]. A medida que  $\Delta V$  aumenta, la probabilidad de interacción con fonones en el  $SiO_2$  también lo hace rápidamente [16,19], y la energía media se desvía del valor de la condición balística.

La pérdida de energía de los portadores es más evidente en óxidos gruesos, pues es mayor el recorrido del electrón para igual caída de potencial, perdiendo entonces mayor energía en colisiones con la red. Este efecto mostró ser dependiente del espesor del óxido hasta 25nm [22], por encima de este espesor, el valor medio de la energía es independiente del espesor.



**FIGURA 2.8:** Energía promedio de los portadores en función de la caída de potencial  $\Delta V$  como se define en la figura. Ref. [22].

La diferencia entre ambos regímenes (balística y “scattering”) se puede reflejar en la siguiente expresión analítica de la energía media.

$$E_n = \begin{cases} E_{OX} \cdot \lambda \cdot \left[ 1 - \exp\left(-\frac{t_{OX}}{\lambda} \cdot \left(1 - \frac{\phi_b}{V_{OX}}\right)\right) \right] & \text{si } V_{OX} > \phi_b \\ V_{OX} & \text{si } V_{OX} < \phi_b \end{cases} \quad [2.3]$$

donde  $\lambda$  es el camino libre medio de los electrones en la banda de conducción del óxido ( $\sim 15\text{\AA}$ ).

La evidencia experimental muestra que el movimiento de los electrones energéticos a través del SiO<sub>2</sub> tiene un rol importante en la degradación y ruptura de los dispositivos MOS. El entendimiento en detalle de cómo los portadores pierden su energía permitió contribuir al conocimiento de los distintos mecanismos de degradación. En la restante parte del capítulo nos proponemos describir los aspectos más importantes de los modelos de degradación aceptados en la literatura.

### **2.2.2 Ionización por Impacto (Impact Ionization Model)**

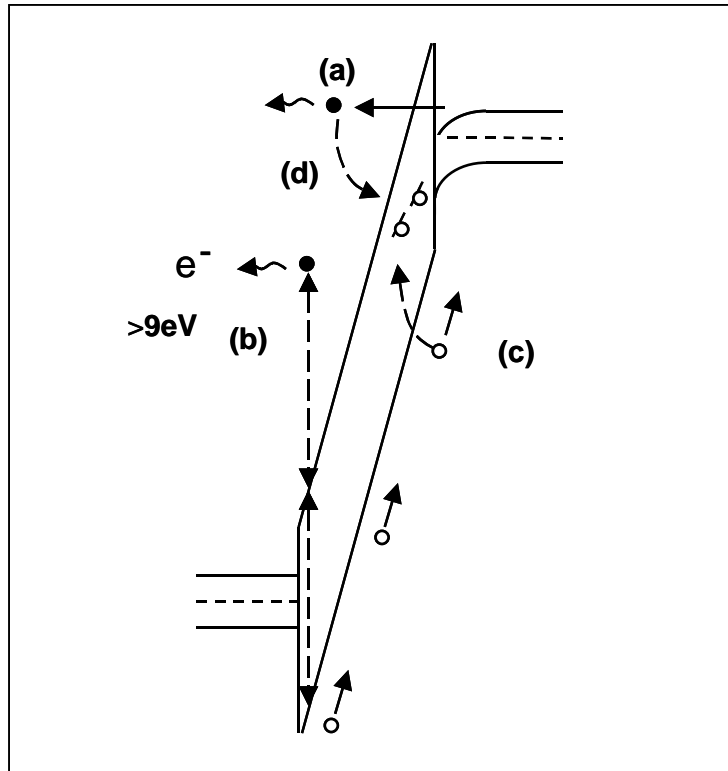
El primero de estos mecanismos de degradación genera defectos en el volumen del SiO<sub>2</sub> por la presencia de huecos en la interfaz SiO<sub>2</sub>-cátodo [15,20,22,24], y la recombinación de electrones libres con los huecos atrapados en el óxido [15,25,26].

El modelo se muestra en el esquema del diagrama de bandas de la Fig.2.9. Los huecos son predominantemente producidos por ionización en el gap del SiO<sub>2</sub> debido a la interacción con electrones de energía  $\geq 9$  eV respecto a la banda de conducción del SiO<sub>2</sub> [17] (Fig.2.9 (b)). Notar que la energía media  $E_{av}$  de los electrones inyectados (Fig.2.8) no supera los 8 eV. Como el gap del SiO<sub>2</sub> es aproximadamente 9eV, es evidente que la ionización por impacto no puede ocurrir con los electrones de la parte media de la distribución de energía. Se observó experimentalmente que la distribución energética de electrones presenta colas que pueden alcanzar, dependiendo de la tensión  $V_G$  aplicada, valores cercanos a 20eV [22]. Y que estos son los portadores que generan pares electrón-huecos por ionización por impacto [17,21,27].

Los huecos generados en el SiO<sub>2</sub> son libres y se mueven bajo la influencia del campo hacia la interfaz SiO<sub>2</sub>-cátodo, donde la mayoría es atrapada [17,20]. (Fig.2.9 (c)). La continua conducción de electrones desde  $E_C$  del Si también genera trampas y estados de interfaz mediante la recombinación entre los electrones inyectados y los huecos atrapados [15,25,26] (Fig.2.9 (d)). Ambos mecanismos son responsables de la generación de estados de interfaz, y el peso relativo de cada uno de ellos es altamente dependiente de condiciones experimentales [25].

En general, este mecanismo de degradación muestra dependencia con el proceso de fabricación [25], y a pesar que la presencia misma de huecos puede introducir estados de interfaz [20], se alcanza el estado estacionario dependiendo de la generación de huecos y la dinámica de recombinación.





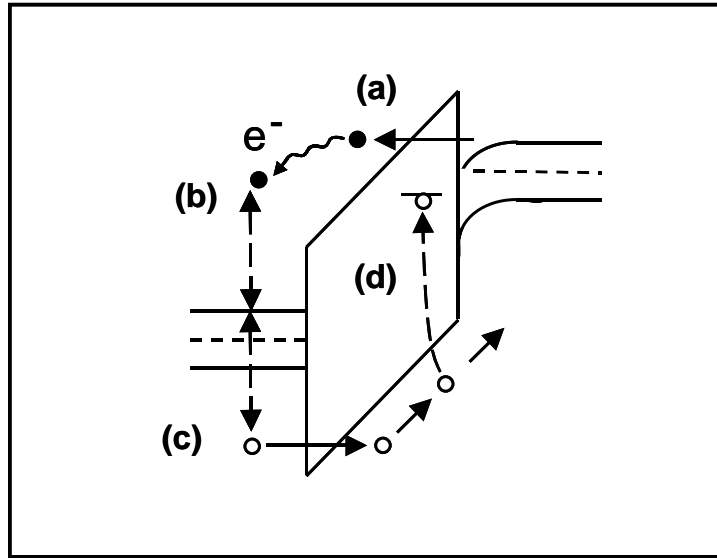
**FIGURA 2.9:** Diagrama de bandas del sistema MOS, mostrando la ionización de portadores por impacto en el SiO<sub>2</sub>. (a) Túnel FN de electrones. (b) Evento de ionización por impacto para electrones con energía mayor a 9eV. (c) Movimiento de huecos hacia la interfaz SiO<sub>2</sub>-cátodo y captura. (d) Recombinación de huecos atrapados y electrones inyectados.

El límite inferior en la tensión aplicada ( $V_G=12V$ ) para la existencia de este mecanismo fue verificado experimentalmente y teóricamente. Se encontró que la tasa de generación de defectos ( $P_{gen}$ ) y la carga acumulada  $Q_{BD}$  tienen cambios de pendiente cerca de 12V [12-15,18], y que el cálculo de la energía mínima necesaria para producir pares electrón-hueco en el SiO<sub>2</sub> está entorno a 12V [15,18].

### 2.2.3 Inyección de Huecos desde el Ánodo (Anode-Hole-Injection Model)

Para energías menores a las necesarias para observar ionización por impacto la degradación puede ser descrita adecuadamente mediante la creación y transporte de huecos en el volumen del SiO<sub>2</sub> [12-15,18,22].

El modelo de inyección de huecos desde el ánodo (modelo AHI) se ilustra en la Fig.2.10, donde los electrones inyectados en la banda de conducción del SiO<sub>2</sub> (proceso (a)) siguen siendo acelerados debido al campo aplicado. A partir de 7-8 V de tensión aplicada se crean pares electrón-hueco en la interfaz SiO<sub>2</sub>-ánodo (proceso (b)) [28].



**FIGURA 2.10:** Diagrama de bandas del sistema MOS, mostrando el mecanismo de inyección de huecos desde el ánodo. (a) Túnel FN de electrones. (b) Evento de generación de huecos en la interfaz SiO<sub>2</sub>-ánodo. (c) Túnel y movimiento de huecos hacia la interfaz SiO<sub>2</sub>-cátodo. (d) Captura de huecos.

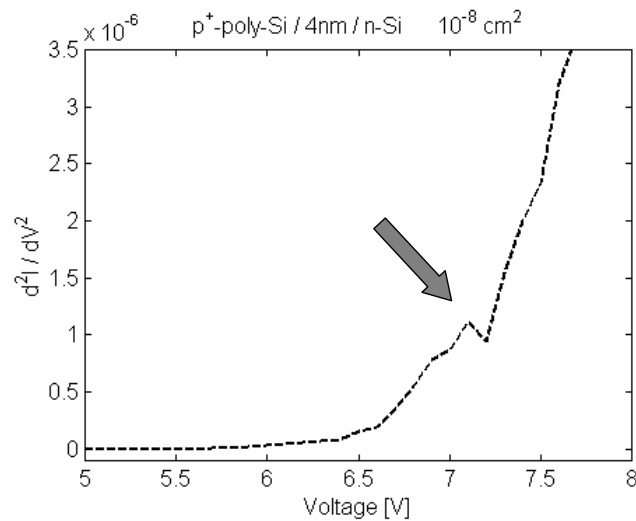
El mecanismo de pérdida de energía de los portadores y generación de pares es la excitación intermedia de plasmones de superficie. Fue mostrado que este proceso intermedio es más eficiente que la ionización directa [29]. Los electrones acelerados aumentan su energía al entrar en el ánodo debido a la barrera SiO<sub>2</sub>-electrodo. Una fracción significativa de estos electrones puede excitar plasmones de superficie que decaen rápidamente (el tiempo de relajación es del orden 10<sup>-16</sup> s en Si, y 10<sup>-15</sup> s en Al) mediante la generación de un par electrón-hueco. La mayoría de estos huecos recombinan con electrones en el ánodo, o pierden su energía mediante fonones. Solo aquellos que tienen una componente del momento perpendicular a la superficie son inyectados en las bandas del óxido hacia el cátodo (proceso (c)). Finalmente, se transportan y son atrapados en la interfaz Si-SiO<sub>2</sub> generando mayoritariamente acumulación de carga positiva [15,24,28] y estados de interfaz debido a la recombinación con los electrones inyectados (proceso (d)) [15,25,26].

La tensión  $V_G$  mínima, entorno a 7V, para considerar a este mecanismo como el dominante en la degradación del óxido de gate fue determinada mediante el cálculo de la eficiencia en la generación de defectos [24], y de la energía necesaria para excitar plasmones de superficie [24,28]. Respecto a esta última, se mostró en [28] que viene dada por la expresión,

$$\hbar.\omega_{SUP} = \frac{\hbar.\omega_{VOL}}{\sqrt{1 + \frac{\epsilon_{OX}}{\epsilon_0}}} \approx 7.2eV \quad [2.4]$$

donde  $\epsilon_{ox}$  y  $\epsilon_0$  son las permeabilidad del óxido y del vacío respectivamente, y  $\hbar.\omega_{VOL}$  la energía del plasmon de volumen, que con relación a las energías involucradas es aproximadamente 16.9 eV [30]. Considerando SiO<sub>2</sub> como óxido de gate en la expresión 2.4 da una estimación que coincide con los valores experimentales.

Por otro lado, la detección de plasmones de superficie se puede realizar indirectamente mediante el incremento de la conductancia en tensiones  $V_G$  cercanas a la energía de excitación. Varios trabajos mostraron que la derivada segunda de las curvas características  $I-V$  ( $d^2I/dV^2$ ), en junturas GaAs-Pb [31,32] y GaAs-In [33], presentan un pico en correspondencia con la excitación de plasmones de superficie. En particular se encontró el mismo resultado en capacitores poly-Si / SiO<sub>2</sub> / Si [34]. La Fig.2.11 muestra un resultado para los dispositivos utilizados en este trabajo. Se observa que entorno a 7 V existe un pico en las curvas, al cual en base a la teoría se lo relaciona a la excitación de plasmones de superficie.



**FIGURA 2.11:** Curva típica de  $d^2I/dV^2$  en función de la tensión de gate  $V_G$ , a partir de las mediciones I-V en dispositivos p<sup>+</sup>poly-Si / 4nm / n-Si. Notar la presencia de un pico entorno a 7V en correspondencia con el cálculo de la energía necesaria para excitar plasmones de superficie.

El apoyo al modelo AHI también proviene de la medición de los parámetros de degradación y ruptura. Uno de los resultados más importante es la diferencia entre las cargas acumuladas al breakdown  $Q_{BD}$  (calculada con la corriente de gate  $I_G$ , debida a los electrones de la banda  $E_C$  del Si ) y  $Q_b$  (medida con la corriente de sustrato  $I_b$ , y debida al transporte de huecos). Se mostró que existe un valor constante de  $Q_b$  ( $\approx 0.1 \text{ C/cm}^2$ ), para el cual ocurre la ruptura del dieléctrico. Mientras  $Q_{BD}$  decrece con la densidad de corriente aplicada. Esta diferencia entre  $Q_{BD}$  y  $Q_b$  permite relacionar la generación de huecos (asociada al mecanismo AHI) con la ruptura del  $\text{SiO}_2$  [35].

#### **2.2.4 Liberación de Hidrógeno (Hydrogen Release Model)**

El proceso de degradación a más baja energía es atribuido a liberación y transporte de protones ( $\text{H}^+$ ) en el  $\text{SiO}_2$  [12-15,18,36,37]. La participación del hidrógeno en la degradación y ruptura del óxido de gate se mostró experimentalmente. Se encontró que en capas  $\text{SiO}_2$  (sin gate de poly-Si) expuestas a hidrógeno molecular se producen defectos similares a los realizados por campo eléctrico o radiación [38,39], y que existe una correlación entre la cantidad de hidrógeno presente en el  $\text{SiO}_2$  [40], la densidad de defectos, y la re-distribución de H en la interfaz poly-Si /  $\text{SiO}_2$  [40,41].

Notar que el hidrógeno esta siempre presente en la estructura MOS debido a que es utilizado en el proceso de fabricación para realizar una pasivación de los estados estados de interfaz iniciales en el dispositivo [42].

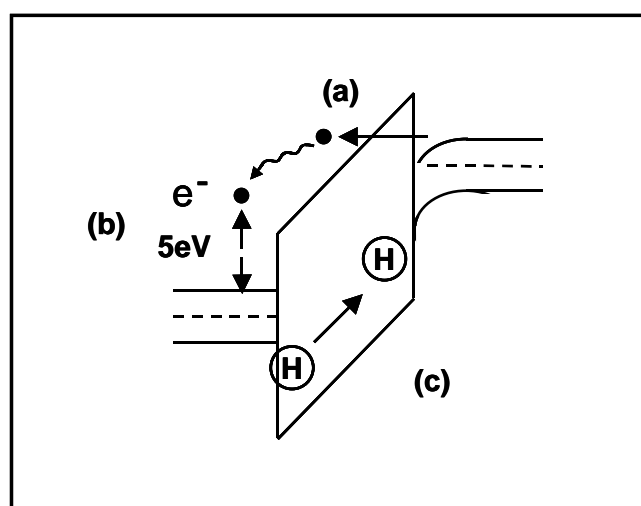
El modelo de liberación de hidrógeno (modelo HR) fue formulado en forma cualitativa debido a que, por el momento, se desconocen los detalles microscópicos de la generación de defectos [43]. El mecanismo se describe en la Fig.2.12. Los electrones son acelerados por el campo aplicado al ser inyectados en la banda de conducción del  $\text{SiO}_2$ , y se sugiere que a partir de 5V (2eV respecto de  $E_C$  del  $\text{SiO}_2$ ) se pueden liberar átomos de Hidrógeno en la interfaz  $\text{SiO}_2$ -ánodo debido a la depasivación de uniones Si-H [15,36,43]. A pesar del límite de 5V, algunos autores sugieren que también es responsable de la degradación a tensiones menores, hasta 1.2V o menos [36,44].

Estas especies liberadas se mueven, por influencia de campo, hacia la interfaz cátodo- $\text{SiO}_2$  donde se generan los defectos por la posible interacción con vacancias de

oxígeno Si-Si [43]. Varios tipos fueron observados. Cerca del ánodo, donde el  $H^+$  es liberado, se encontraron trampas cargadas positivas [15,45]. Mientras que en el cátodo, se identificaron trampas neutras de electrones, estados de interfaz [36,37,39,45,46], y centros de generación-recombinación [15,20].

Este mecanismo de degradación es térmicamente activado, tiene una dependencia con el espesor del óxido a partir de 10nm, y se observa a campos bajos de 1.5 MV/cm [36,37,39,45,46].

Los datos experimentales de generación de defectos y ruptura, también apoyan el modelo HR. Se encontró que la tasa de generación de defectos ( $P_{gen}$ ) muestra un cambio de dinámica entorno a 5V [12-14] (ver capítulo 4).



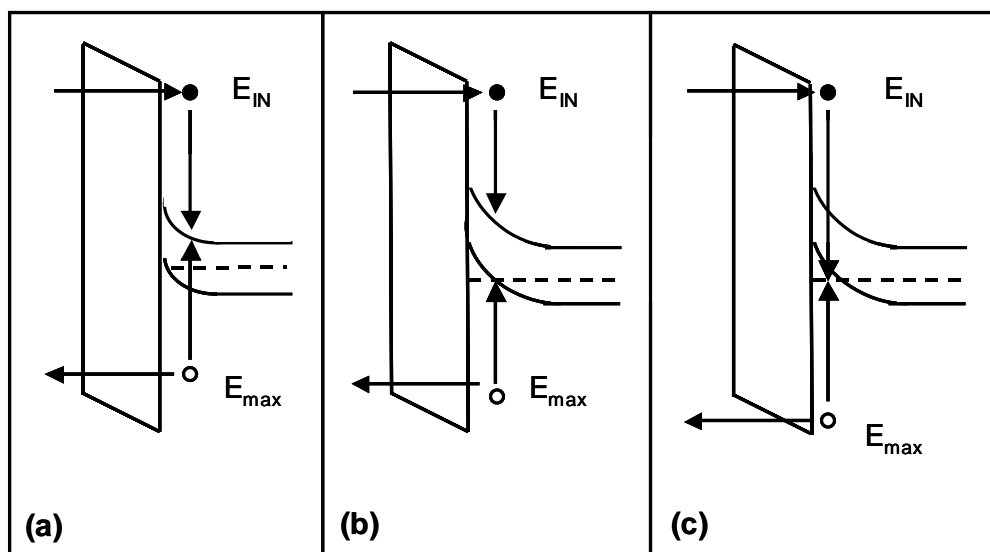
**FIGURA 2.12:** Diagrama de bandas del sistema MOS, mostrando la liberación y transporte de especies hidrogenadas hacia la interfaz SiO<sub>2</sub>-cátodo.

A pesar de que este modelo cuenta con datos experimentales que apoyan su existencia, una reciente modificación de modelo AHI propone que la ionización por portadores minoritarios puede ser la responsable de la degradación a bajas tensiones, y no la liberación de especies hidrogenadas [47-49]. El motivo fundamental por el cual algunos autores proponen modelos alternativos es la falta de una descripción detallada a nivel microscópico del modelo HR. Desde el punto de vista experimental,

esto se debe, en parte, a la dificultad de separar los huecos generados de los electrones inyectados.

### 2.2.5 Ionización de Portadores Minoritarios

Inicialmente, la posibilidad de contar con un modelo diferente al HR, de la sección anterior, resultó muy atractivo debido a que se podría explicar la degradación a muy bajas tensiones, debajo de 5V que es el límite para el HR. En la Fig.2.13 se muestra el mecanismo de ionización por portadores minoritarios y se lo compara con el modelo convencional de AHI (ver sección 2.2.3). En este último los electrones inyectados en régimen FN impactan e ionizan creando un hueco en el ánodo de energía máxima  $E_{max}=E_{IN}-E_g$ , donde  $E_{IN}$  es la energía del electrón en la interfaz ánodo-SiO<sub>2</sub>, y  $E_g$  si gap de 1.12eV (Fig.2.13(a)). Como la barrera de potencial Si-SiO<sub>2</sub> para los huecos es muy alta (4.7eV) para tener un flujo importante de huecos en la corriente de sustrato, se propusieron mecanismos alternativos de generación [64].



**FIGURA 2.13:** Diagrama de bandas del sistema MOS, mostrando los tres mecanismos de inyección de huecos desde el ánodo. (a) modelo AHI convencional. (b) y (c) generación de huecos en el ánodo mediante minoritarios de la banda de valencia del Si.

Debido a que en cualquier evento de ionización, el estado final para el electrón inicial y el de valencia deben estar vacíos, estos estados se encuentran sobre el nivel de Fermi  $E_F$ . Como se observa en la Fig.2.13(a), estos estados están en la banda de conducción para el proceso convencional de AHI, pero en la banda de valencia sobre  $E_F$  para la ionización de minoritarios. La inclusión de estos dos mecanismos de generación de huecos provoca un cambio significativo de la energía de los portadores. Si consideramos el caso de Fig.2.13(b)  $E_{\max}=E_{IN}+|E_F-E_V|$ , y en el caso de Fig.2.13(c)  $E_{\max}=E_{IN}+E_g+2\cdot|E_F-E_V|$ .

Se mostró, mediante simulaciones y algunas mediciones, que este modelo podría describir la degradación a bajas tensiones [47,49,51]. En particular, se reportó que la tasa de degradación de defectos ( $P_{\text{gen}}$ ) a bajas tensiones podría ser explicada [49].

Por otro lado, estudios recientes mostraron que es posible mejorar la vida útil de dispositivos involucrando Deuterio a cambio de Hidrógeno. Estos resultados son consistentes con el modelo AHI sin llegar a constituir una prueba del mismo [50].

A pesar de los datos que fueron publicados, existen dudas aceptables como para considerar el AHI el único mecanismo responsable de degradación a bajas tensiones. Se encontró que la correlación entre la corriente de huecos y el breakdown ( $Q_{BD}$ ) no es tan fuerte o evidente como la correlación con la tasa de generación de defectos [13,47].

En síntesis, se puede establecer que no se tiene un único modelo para describir la degradación a muy bajas tensiones. La gran cantidad de trabajos publicados apoyando uno u otro modelo establecen, en mi opinión, que talvez no existe un único modelo universal que puedan ser utilizados en todas las circunstancias.

## **Resumen del Capítulo 2**

Durante el desarrollo de este capítulo se discutió sobre dos de los aspectos más importantes de la fiabilidad de los dispositivos MOS: la conducción a través del  $\text{SiO}_2$  y los mecanismos de degradación asociados.

En la primera parte se estudiaron los modelos que representan la conducción túnel. Estos son el modelo de Túnel Directo y el de Fowler-Nordheim.

En la segunda parte de este capítulo se discuten los distintos modelos de degradación con relación a la energía de los portadores. Los electrones cuando son inyectados en

la banda de conducción del SiO<sub>2</sub> adquieren energía del campo aplicado y activan diversos mecanismos de degradación.

Respecto a los dispositivos utilizados en este trabajo se mostró que:

(i) los modelos propuestos de conducción túnel brindan una descripción adecuada de la corriente que circula a través del óxido de gate en los dispositivos usados en este trabajo.

(ii) los capacitores MOS con Tungsteno como material de gate fueron correctamente modelados, considerando al Tungsteno como un material de midgap (sección 1.4).

(iii) se identificó la energía necesaria para la excitación de plasmones de superficie en la interfaz Si-SiO<sub>2</sub> mediante la derivada segunda de las curvas corriente-tensión ( $d^2I/dV^2$ ). Además se verificó que los valores obtenidos de las curvas  $d^2I/dV^2$  coinciden con las estimaciones teóricas.



## Referencias Capítulo 2

- [1] J.J. Sakurai, "Modern Quantum Mechanics", Addison Wesley 1994.
- [2] E.H. Nicollian and J.R. Brews, "MOS Physics and Technology", (John Wiley & Sons, 1982).
- [3] M. Lenzlinger, E.H. Snow, "Fowler-Nordheim tunneling into thermally grown SiO<sub>2</sub>", Jour. Appl. Phys. Vol.40(1), (1969).
- [4] A. Faigon and F.Campabadal, "A Semi-empirical model for the tunnel current-voltage characteristics in Al-SiO<sub>2</sub>-Si(p) structures", Solid-State Electronics Vol. 39, No. 2, pp. 251-260, 1996.
- [5] K. F. Schuegraf and C. Hu, "Hole Injection SiO<sub>2</sub> Breakdown model for very low voltage lifetime extrapolation," IEEE Trans. Electron Devices, vol. 41, no. 5, pp. 761–767, 1994.
- [6] K. F. Schuegraf, C. C. King, and C. Hu, "Ultra-thin silicon dioxide leakage current and scaling limit," in Dig. Symp. VLSI., 1992, pp. 18–19.
- [7] S.-H. Lo, D. A. Buchanan, Y. Taur, and W. Wang, "Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultrathin-oxide in nMOSFETs," *IEEE Electron Device Lett.*, vol. 18, no. 5, pp. 209, 1997.
- [8] C. Bowen, C. L. Fernando, G. Klemick, A. Chatterjee, D. Blanks, R. Lake, J. Hu, J. Davis, M. Kulkarni, S. Hattangady, and I. C. Chan, "Physical oxide thickness extraction and verification using quantum mechanical simulation," in IEDM Tech. Dig., 1997, p. 869.
- [9] F. Rana, S. Tiwari, and D. A. Buchanan, "Self-consistent modeling of accumulation layers and tunneling currents through very thin oxides," *Appl. Phys. Lett.*, vol. 69, no. 8, p. 1104, 1996.
- [10] Wen-Chin Lee and Chenming Hu, "Modeling CMOS Tunneling Currents Through Ultra-thin Gate Oxide Due to conduction and Valence band electron and hole tunneling". IEEE Trans. Electron Devices, vol.48, No.7, 1366, (2001).
- [11] S. M. Sze, "Physics of Semiconductor Devices", (John Wiley & Sons, 1981).
- [12] J.H. Stathis, IBM J.Res.&Dev. 46(23), 265 (2002).
- [13] J.S.Suehle, "Ultrathin gate Oxide reliability: Physical models, Statistics and characterization". IEEE Trans. Electron Devices, vol.49, No.6, 958, (2002).
- [14] R.Degraeve, B.Kaczer and G.Groeseneken "Degradation and breakdown in thin oxide layer: mechanisms, models and reliability prediction", Microelectronics Reliability 39, pp.1445-1460, (1999).

- [15] D. J. DiMaria, E. Cartier, and D. Arnold, "Impact ionization, trap creation, degradation, and breakdown in silicon films on silicon", *J. Appl. Phys.* **73(7)**, 3367(1993).
- [16] M.V. Fischetti, D.J. DiMaria, L. Dori, E. Batley, E. Tierney, and J. Stasiak, *Phys. Rev. B*, **35(9)**, 4404-4415, (1987).
- [17] D. J. DiMaria, D. Arnold, and E. Cartier, "Impact ionization and positive charge formation in silicon dioxide films on silicon", *Appl. Phys. Lett.* **60**, 2119 (1992).
- [18] D. J. DiMaria, "Defect production, degradation, and breakdown of silicon dioxide films", *Solid-state Electronics Vol. 41 No.7*, 957-965, (1997).
- [19] M.V. Fischetti, *Phys. Rev. Lett.*, **53(18)**, 1755-1757, (1984).
- [20] D. J. DiMaria, D. A. Buchanan, J. H. Stathis, and R. E. Stahlbush, "Interface states induced by the presence of trapped holes near the silicon-silicon-dioxide interface", *J. Appl. Phys.* **77**, 2032 (1995).
- [21] D. Arnold, E. Cartier, and D. J. DiMaria, "Acoustic-phonon runaway and impact ionization by hot electrons in silicon dioxide", *Phys. Rev. B*, **44(10)**, 1477, (1991).
- [22] D. J. DiMaria, E. Cartier, D.A. Buchanan, "Anode hole injection and trapping in silicon dioxide", *J. Appl. Phys.* **80(1)**, 304 (1996).
- [23] D. J. DiMaria, "Explanation for the polarity dependence of breakdown in ultrathin dioxide films", *Appl. Phys. Lett.* **60(21)**, 3004 (1996).
- [24] M.V. Fischetti, Z.A. Weinberg, and A. Calise, "The effect of gate metal and SiO<sub>2</sub> on the generation of donor states at the Si-SiO<sub>2</sub> interface", *J. Appl. Phys.* **57(2)**, 418, (1985).
- [25] S.K. Lai, *J. Appl. Phys.* **54**, 575 (1984).
- [26] D.A. Buchanan, and D.J. DiMaria, *J. Appl. Phys.* **67**, 7439 (1990).
- [27] D. J. DiMaria, T. N. Theis, J. R. Kirtley, F. L. Pesavento, D. W. Dong, and S. D. Brorson, "Electron heating in silicon dioxide and off-stoichiometric silicon dioxide films", *J. Appl. Phys.* **57**, 1214, (1985).
- [28] M.V. Fischetti, "Model for generation of positive charge at Si-SiO<sub>2</sub> interface based on hot-hole injection from the anode", *Phys. Rev. B*, **31(4)**, 2099, (1985).
- [29] D. Pines, "Collective Energy Losses in Solids", *Rev. Mod. Phys.* **28**, 184, (1956).
- [30] K.L. Ngai and E.N. Economou, *Phys. Rev. B* **4**, 2132, (1971).

- [31] D.C. Tsui, Phys.RevLett.22, 293, (1969).
- [32] D.C. Tsui and A.S. Baker, Phys.Rev. 186, 590, (1969).
- [33] C.B. Duke, M.J. Rice, and F. Steinrisser, Phys.Rev. 181, 733 (1969).
- [34] J.-H. Kim, "Surface plasmons and breakdown in thin silicon dioxide films on silicon", J. Appl. Phys. 84(3),1430, (1998).
- [35] I.C.Chen, S.E.Holland,K.K.Young,C.Chang,and C.Hu,Substrate Hole Current and Oxide Breakdown," *Appl.Phys.Lett.***49**,669,(1986).
- [36] D.J.DiMaria and J.W.Stasiak, "Trap Creation in Silicon Dioxide Produced by Hot Electrons", J.Appl. Phys.**65**, 2342 , 356 (1989).
- [37] T. Nishida, and S.E. Thompson, J. Appl. Phys. 69, 3986 (1991).
- [38] E.Cartier and J.H.Stathis, "Atomic Hydrogen-Induced Degradation of the Si/SiO<sub>2</sub> Structure", *Microelectron.Eng.* **28**, (1995).
- [39] Y.Nissan-Cohen and T. Gorczyca," The effect of hydrogen on trap generation, positive charge trapping and time-dependent dielectric breakdown of gate oxides", IEEE Electron Device Lett. 9, 287, (1988).
- [40] D.A. Buchanan, A.D. Marwick, D.J .DiMaria and L. Dori," Hot-electron-induced hydrogen redistribution and defect generation in metal-oxide-semiconductor capacitors", J. Appl. Phys. 76(6), 3595 (1994).
- [41] E.Cartier, J.H.Stathis, and D.A.Buchanan, "Passivation and Depassivation of Silicon Dangling Bonds at the Si/SiO<sub>2</sub> Interface by Atomic Hydrogen", *Appl.Phys.Lett.* **63**, 1510 (1993).
- [42] S. Wolf, "*Silicon processing for VLSI Era*".Vol.3 The submicron MOSFET, Lattice Press, 1992.
- [43] J.Suñe and E. Wu, "Quantitative two-step model of SiO<sub>2</sub> gate oxide breakdown", Solid-State Electronics 46, 1825, (2002).
- [44] D.J.DiMaria, "Electron energy dependence of metal-oxide semiconductor degradation", Appl. Phys. Lett. 75, 2427 (1999).
- [45] D.J. DiMaria, J. Appl. Phys. 68 (10), 5234 (1990).
- [46] D. J. DiMaria, J.Stathis, J. Appl. Phys. 70, 1500 (1991).
- [47] J.D. Bude, B.E.Weir and Silverman,"Explanation of stress-induced damage in thin oxides", Proceedings at IEDM Conference, 179, (1998).

[48] A.Ghetti, M.Alam, and J.Bude, "Anode hole generation mechanism", *Microelectronics Reliability* 41, 1347, (2001).

[49] M.Alam, B.Weir, J.Bude, P.Silverman, and A.Ghetti,"A Computational model for oxide breakdown: theory and experiments", *Microelectronics Engineering* 59, 137, (2001).

[50] J.Wu, E. Rosenbaum, B. MacDonald; E.Li, B.Tracy and P.Fang,"Anode Hole Injection versus Hydrogen Release: The mechanism for gate oxide breakdown", *Proceedings at IRPS Conference, San Jose California*, 27, (2000).

[51] Yi Lu and C.T. Sah, "Two pathways of positive oxide-charge buildup during electron tunneling into silicon dioxide film", *J. Appl. Phys.* 76(8), 4724 (1994).

---

# Capítulo 3

---

## **Degradación por Radiación y por Inyección Eléctrica de Portadores**

Fotones gamma, protones, electrones, neutrones, iones y otras partículas energéticas generan altas densidades de pares electrón–hueco en el óxido de silicio de los dispositivos semiconductores.

El problema básico de la radiación en transistores MOS se basa en la acumulación de carga fija en el volumen del SiO<sub>2</sub>, y creación de estados en la interfaz Si-SiO<sub>2</sub>, los que causan corrimientos y deformaciones en las curvas características. La presencia y aumento de tales defectos es causa de degradación y ruptura del dieléctrico.

En este capítulo se muestran los resultados más importantes de nuestra investigación sobre los efectos de la radiación gamma (<sup>60</sup>Co) en dispositivos MOS. Se caracterizan eléctricamente dichos efectos separando las contribuciones de volumen y superficie. Se discute la hipótesis que permite la separación de las contribuciones, y finalmente se comparan los efectos de la radiación con los producidos por inyección de portadores energéticos.

### 3.1 Mecanismos de Degradación por Radiación

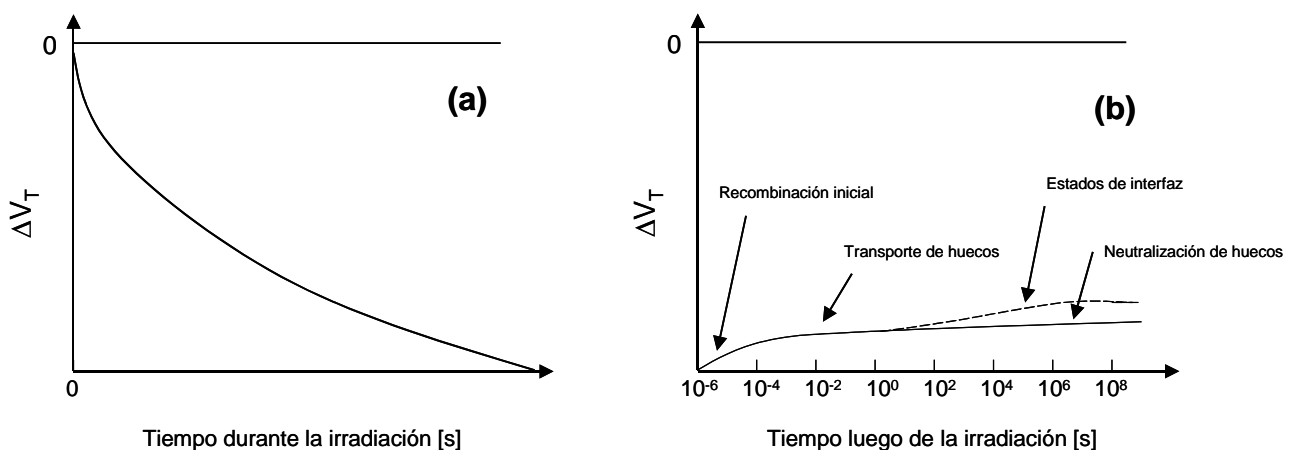
La creación de cargas y la activación de defectos, son las razones principales de degradación de los dispositivos electrónicos. Los efectos de la radiación se pueden separar en dos grandes grupos, los efectos acumulativos debido a la dosis de ionización (Total Ionization Dose-TID), y los efectos debido a eventos individuales (Single Event Effects-SEE).

Los efectos TID son graduales, ocurriendo durante toda la vida útil del dispositivo electrónico expuesto a la radiación, mientras que los SEE están referidos a la deposición de energía por una única partícula en el dispositivo electrónico [1].

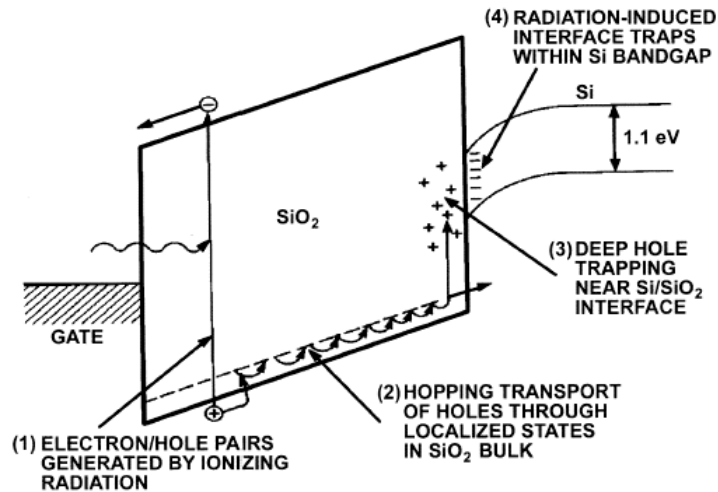
En esta investigación nos concentraremos solamente en efectos tipo TID sobre estructuras MOS a partir de radiación con fuente gamma ( $^{60}\text{Co}$ ).

La energía depositada en el material del dispositivo se mide por la dosis de ionización cuya unidad, en el sistema SI, es el Gray [Gy], que es igual a un Joule de energía depositada por Kg de material.

La generación de cargas por radiación en el óxido involucra diferentes mecanismos físicos que ocurren en diferentes escalas temporales, de tensión y temperatura. Por eso, el análisis general del comportamiento frente a la radiación de un circuito es extremadamente compleja. Sin embargo, la respuesta general se puede separar en sus componentes estudiando el problema a nivel de óxido de gate, para luego extrapolar a nivel de circuito.



**FIGURA 3.1:** Esquema del comportamiento de la tensión de encendido  $V_T$  en función del tiempo. (a) Durante la irradiación, (b) Luego de la irradiación.



**FIGURA 3.2:** Diagrama de bandas mostrando los procesos físicos más importantes frente a la degradación por radiación. (1) Generación de pares electrón-hueco, (2) Transporte de huecos hacia el cátodo, (3) Captura de huecos, y (4) Creación de estados de interfaz. Figura tomada de la Ref.[2]

Al someter a un dispositivo pMOS a radiación gamma, se crean pares electrón-hueco en el volumen de SiO<sub>2</sub> que resultan en una acumulación de carga positiva, debido a la captura de huecos. La Fig. 3.1(a) muestra la respuesta típica de un pMOS en función del tiempo, donde es evidente el corrimiento de  $\Delta V_T$  debido a la acumulación de carga positiva durante la irradiación.

Luego del pulso de radiación se desatan diversos mecanismos físicos en diferentes escalas temporales. La Fig. 3.2 muestra un diagrama de bandas de un sistema MOS identificando los procesos físicos que contribuyen a los cambios de la respuesta eléctrica. En los primeros instantes, luego del pulso de irradiación, se tiene: (1) generación de pares electrón-hueco, y (2) el transporte de huecos hacia la interfaz Si-SiO<sub>2</sub>. Posteriormente se produce la (3) captura de huecos; y finalmente (4) la creación de estados de interfaz [2].

La Fig. 3.1(b) muestra la evolución temporal de la respuesta eléctrica representada por el corrimiento de  $\Delta V_T$ . Luego del pulso de degradación, los electrones abandonan la región en pocos pico-segundos y se tiene acumulación de carga positiva que se refleja en el corrimiento inicial de  $\Delta V_T$ . Los huecos se trasladan hacia la interfaz ánodo-SiO<sub>2</sub> y parte de ellos escapa por el ánodo con lo cual el corrimiento de  $\Delta V_T$  disminuye. El remanente capturado puede neutralizarse en tiempos más largos. La Fig. 3.1(b) muestra adicionalmente el efecto de creación de estados de interfaz.

### 3.1.1 Generación de pares Electrón-Hueco

La creación de pares electrón-hueco en un sólido, puede ser producida por partículas o fotones energéticos que, a través del material, producen ionización mediante colisiones excitando (directa o indirectamente) electrones de la banda de valencia hacia la de conducción, dejando detrás huecos en la banda de valencia.

En un circuito integrado existen regiones y materiales que son particularmente sensibles a la radiación incidente. En el caso de los efectos TID, una de las zonas más sensible es el óxido de gate. El proceso de ionización mediante fotones en el SiO<sub>2</sub> incluye, en orden creciente de energía, (i) efecto fotoeléctrico, (ii) colisiones Compton, y (iii) creación de pares electrón-positrón.

El efecto fotoeléctrico es importante para energías <1 MeV, sin embargo, el rango en el cual este efecto domina depende del número atómico del material, esto es <50 keV para Al o Si.

En una colisión fotoeléctrica, la energía del fotón incidente es completamente absorbida y un electrón es removido. Dependiendo del nivel energético del electrón ionizado, es posible obtener también emisión de rayos-X o electrones Auger.

El movimiento del electrón en la banda de conducción del SiO<sub>2</sub> puede generar electrones secundarios a medida que se traslada por la red.

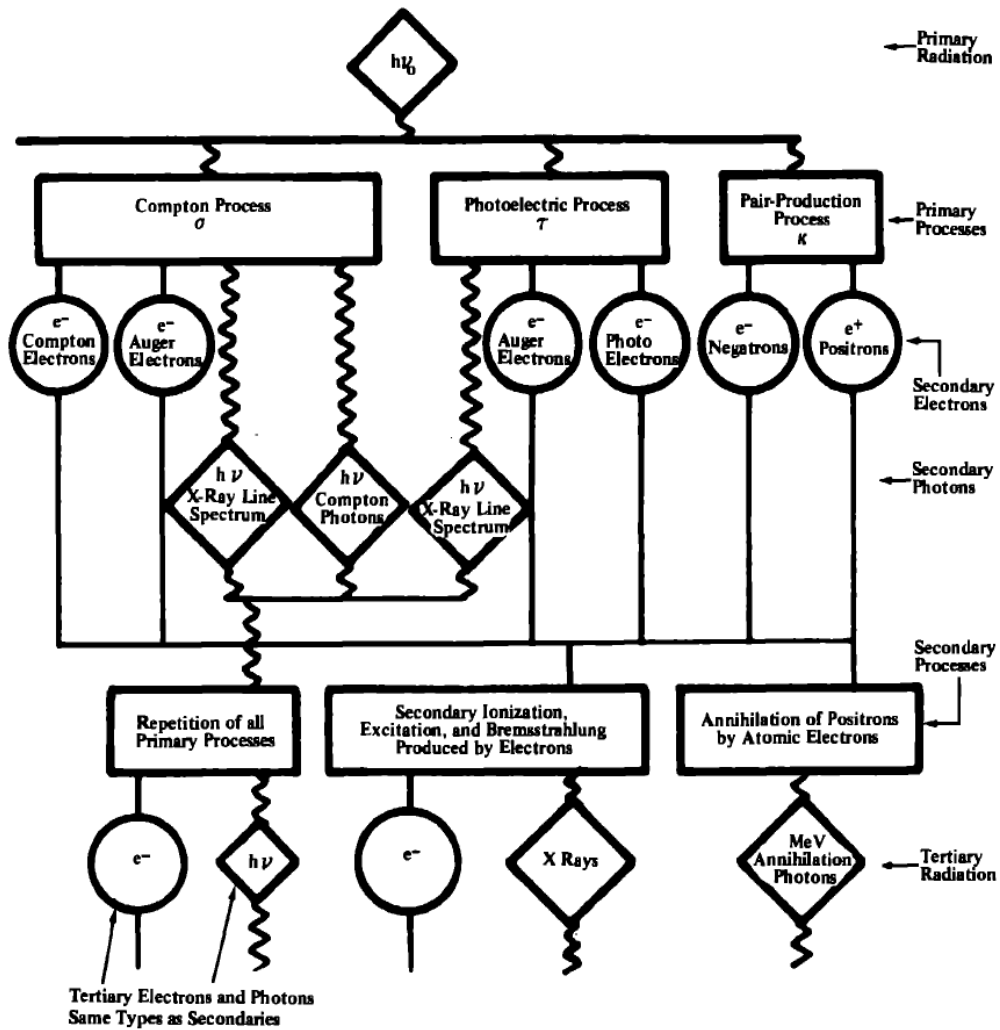
A energías del fotón incidente mayores a 100 KeV (aprox. para el Si) ocurren las colisiones Compton donde parte de la energía incidente es absorbida y el resto emitida a través de un electrón y otro fotón. El fotón puede continuar interactuando vía Compton o fotoeléctrico hasta que la energía es completamente absorbida. Mientras que el electrón creado, con una fracción importante de la energía incidente, puede continuar colisionando e ionizando a medida que desacelera a través de la red.

Para el caso de que la energía del fotón incidente excede los 1.02 MeV la interacción puede resultar en la generación de pares electrón-positrón. La energía es completamente absorbida, y el exceso, a la requerida para la formación del par, es distribuida en forma de energía cinética entre el electrón y el positrón.

Es decir, la forma en que los fotones interactúan con la materia genera, como se describió, otros fotones y electrones, que a su vez continúan ionizando mediante la repetición de los procesos, esto es: efecto fotoeléctrico, Compton o producción de pares según la energía resultante. La Fig. 3.3 muestra un esquema de los procesos que ocurren cuando se irradia con fotones gamma y los procesos subsiguientes [4].



En el caso de irradiación gamma con fotones de  $^{60}\text{Co}$  (1.17 y 1.33 MeV) los daños ocurren principalmente como resultado de interacciones Compton, donde los electrones producidos tienen energías del orden de 100 KeV en promedio [5].



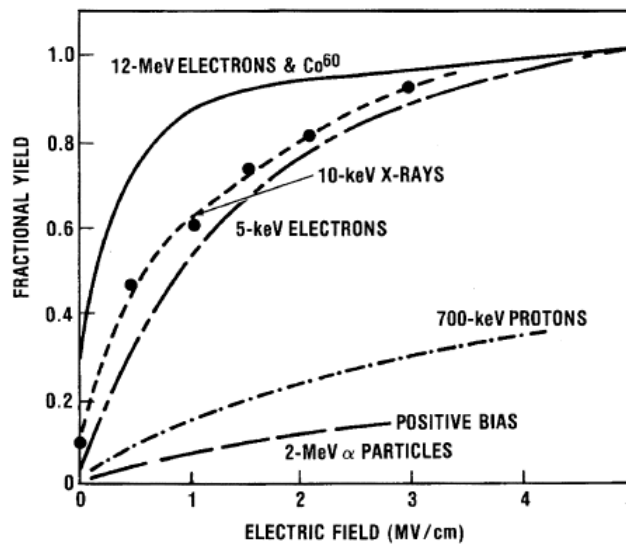
**FIGURA 3.3:** Esquema de bloques resumiendo la interacción de la radiación gamma con la materia. Figura obtenida de Ref. [4]

Cuando la capa de  $\text{SiO}_2$  es sometida a radiación gamma, los electrones producto de la ionización generan pares electrón-hueco mediante el intermedio de la excitación de plasmones.

A pesar que una porción significativa de los electrones generados pierde su energía a través de procesos secundarios (Fig. 3.3), la excitación de plasmones es un mecanismo

de pérdida de energía importante, por lo cual gran parte de la energía incidente puede ser utilizada en la creación de pares mediante la excitación de plasmones.

Otro aspecto importante en la generación de pares electrón-hueco es la recombinación inicial rápida. En el SiO<sub>2</sub> los electrones tienen una movilidad muy grande [6], con lo cual abandonan la región típicamente en el orden de pico-segundos. No obstante, en esa fracción de tiempo, parte de estos electrones logra recombinarse con huecos. La fracción de electrones que escapa a la recombinación es determinada principalmente por la magnitud del campo eléctrico y la densidad lineal de pares creados por la radiación incidente [7].



**FIGURA 3.4:** Fracción de pares no recombinados en función del campo aplicado. Notar que la línea continua corresponde fotones gamma Co<sup>60</sup>. Figura tomada de la Ref.[2]

La Fig. 3.4 muestra la dependencia de la fracción de pares no recombinados en función del campo aplicado para distinta radiación incidente [8]. Se tiene que, para un campo de 1 MV/cm, existen diferencias de un orden de magnitud entre las distintas fuentes de radiación.

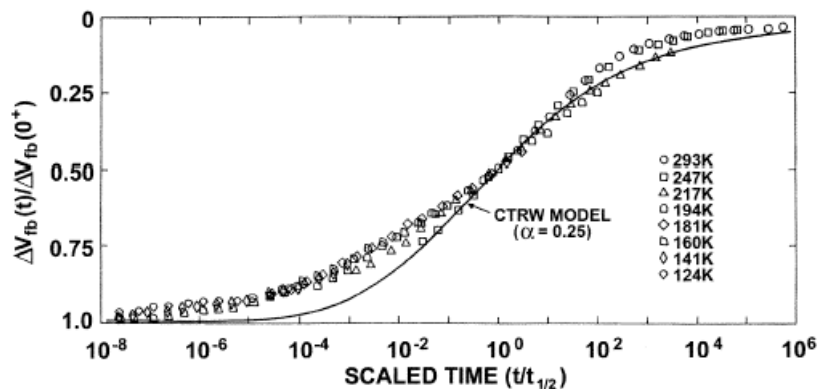
Finalmente, es importante mencionar que en el Silicio suceden los mismos tipos de efectos, pero los electrones y huecos generados tienden a recombinar en su totalidad luego del pulso de irradiación (excepto las dislocaciones de red, con lo cual todos los

defectos son transitorios) y persisten solamente en el orden del tiempo característico de la recombinación.

### 3.1.2 Transporte de Huecos

Los huecos que escapan a la recombinación inicial son relativamente inmóviles frente a los electrones; residen más tiempo en el SiO<sub>2</sub> y se transportan hacia la interfaz Si-SiO<sub>2</sub> donde son capturados, causando acumulación de carga y cambios en las características eléctricas.

El transporte de huecos es un proceso dependiente del campo, dispersivo en el tiempo, y activado térmicamente a partir de 140 K. La dependencia funcional es ilustrada en la Fig. 3.5 donde se muestra que es posible escalar los corrimientos de V<sub>FB</sub> a distintas temperaturas de modo que las curvas se superponen. A temperatura ambiente, puede durar menos de un segundo típicamente [2].



**FIGURA 3.5:** Variación de la tensión de bandas planas V<sub>FB</sub> normalizada en función del tiempo para distintas temperaturas luego de la irradiación con electrones a 80K. Figura tomada de la Ref.[2]

El mecanismo específico más probable de ser el responsable del transporte de huecos, es el “salto” de polarones (*polaron hopping*) entre trampas localizadas –de energía cercana a la banda de conducción del SiO<sub>2</sub>-. El polaron se refiere a portadores -huecos en nuestro caso- que interactúan con el medio creando en su entorno una distorsión de la red. A medida que el hueco viaja por el volumen del SiO<sub>2</sub>, lleva consigo la distorsión de la red. La evidencia más fuerte en apoyo de esta teoría es la existencia de la temperatura de aceleración del fenómeno (140K). Esta es un límite conocido para el caso de los polarones [9-11].

### 3.1.3 Neutralización de Huecos (Annealing)

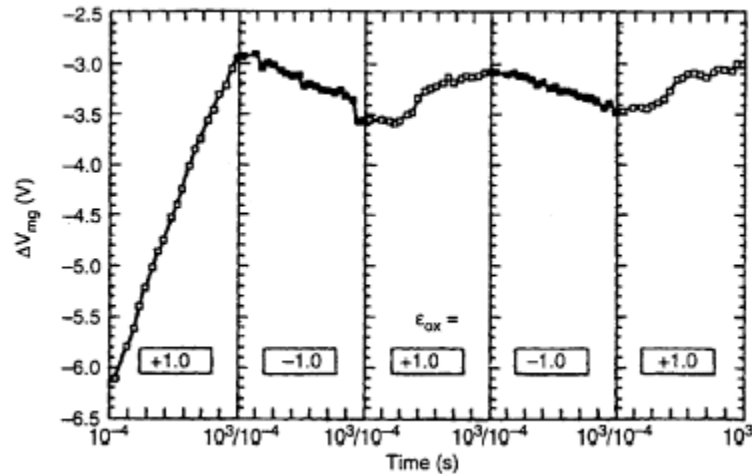
La fracción de huecos que alcanza la interfaz Si-SiO<sub>2</sub> puede ser confinada en trampas profundas generando un corrimiento negativo de  $V_{FB}$ . La existencia de estas trampas cerca de la interfaz Si-SiO<sub>2</sub> se debe a que es una región de transición donde el proceso de oxidación no es completo con vacantes de átomos de oxígeno [12].

Los huecos atrapados en el óxido son relativamente estables en el tiempo con una compleja dependencia con la temperatura y campo aplicado. Generalmente, la neutralización de los huecos se realiza mediante túnel de portadores [13] o excitación térmica [14,15]. A temperatura ambiente, túnel es el mecanismo preponderante, pero al aumentar la temperatura, los roles se invierten.

El estudio de la neutralización de huecos inducidos por radiación, ha permitido encontrar propiedades de las trampas en el óxido, particularmente de las neutras, las cuales tienen un rol muy importante en la fiabilidad del óxido de gate. Uno de los trabajos más importantes en el área es el de Schwank et.al [16], donde se muestra que la recuperación de los defectos inducidos por radiación involucra un proceso de compensación, es decir, los defectos en el SiO<sub>2</sub> son neutralizados sin ser removidos.

Por otro lado, Lelis et al. [17-19] encontró que cambios sucesivos de polaridad en la tensión aplicada, luego de irradiar, generan correspondientes oscilaciones en  $V_{mg}$  (Fig.3.6). A diferencia de la interpretación anterior, donde la recuperación se producía por túnel de electrones hacia un átomo de Si cargado positivo, neutralizándolo y reformando la unión Si-Si, se propuso que por túnel los electrones se transportan hacia un Si neutro formando una estructura dipolar que respondería a la polaridad aplicada.

Varios trabajos independientes confirmaron esta interpretación, donde alguno de ellos propone que el defecto, anteriormente mencionado, actúa como una trampa neutra en las experiencias de inyección de portadores [20]. Esta descripción resulta muy importante debido a que existe un interés en el rol de trampas neutras y su relación con la degradación no-radiativa.



**FIGURA 3.6:** Tensión de midgap  $V_{mg}$  en función del tiempo, aplicando alternativamente campos con distinta polaridad para un dispositivo previamente irradiado con un pulso de  $4 \mu s$  usando un LINAC. Figura tomada de la Ref.[2]

Recientemente, se comenzó a estudiar la presencia de trampas en el óxido que intercambian carga con el sustrato de Si en diversas escalas temporales [14]. A estas trampas se las definió como “border traps” (trampas de borde) y, en el sistema Si-SiO<sub>2</sub>, pueden ser asociadas al tipo de defecto mencionado.

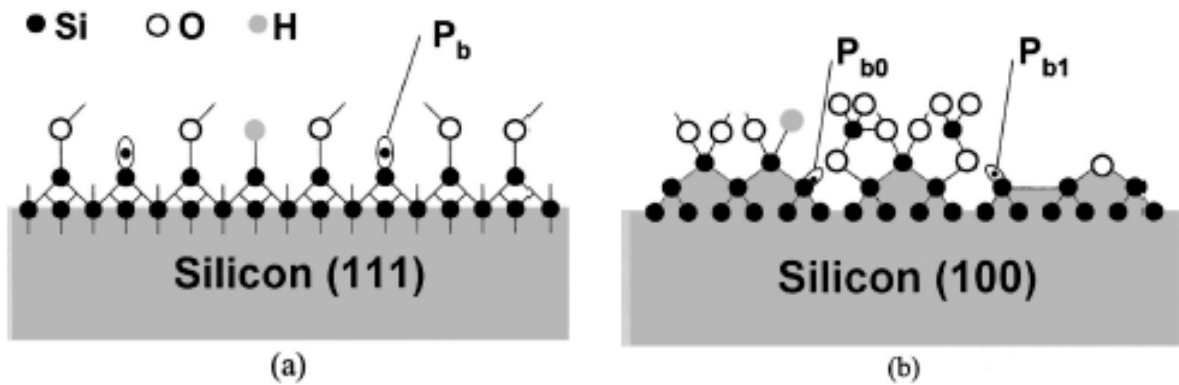
### 3.1.4 Estados de Interfaz

La respuesta de los dispositivos MOS es fuertemente dependiente de la existencia de estados de interfaz. Estas trampas, están localizadas energéticamente en la región prohibida del gap del Si, y la ocupación está determinada por el nivel de Fermi (i.e.  $V_G$ ). En la literatura se mostró que defectos de vacancia de oxígeno involucrando “dangling bonds” son los que dominan la creación de estos defectos [21-26].

En el volumen del material, cada átomo de Si está tetraedralmente unido a cuatro átomos de Si. Cuando crece el SiO<sub>2</sub>, la configuración de la interfaz Si-SiO<sub>2</sub> es como se muestra en la Fig. 3.7 donde átomos de Si tienen uniones a átomos de O o H. Una trampa de interfaz es un átomo trivalente de Si con una unión libre en la interfaz. Estas son conocidas como centros  $P_b$  según estudios ERS (Electron-Spin-Resonance).

En obleas orientadas  $\langle 111 \rangle$  los centros  $P_b$  son perpendiculares a la superficie (Fig.3.7(a)), mientras en obleas  $\langle 100 \rangle$  las uniones Si-Si tienen direcciones que interceptan la superficie al mismo ángulo, y dos tipos de defectos son detectados  $P_{b0}$  y

$P_{b1}$  (Fig.3.7(b)). Los centros  $E'$  responsables de las cargas fijas en el  $\text{SiO}_2$  son interpretados como vacancia de oxígeno [21,25].



**FIGURA 3.7:** Esquema de la interfaz Si-SiO<sub>2</sub> detallando las uniones Si-O en función de la orientación de la superficie. (a) Si (111), (b) Si (100).

El problema básico respecto a los estados de interfaz puede interpretarse de la siguiente manera: cuando el óxido de puerta es crecido térmicamente existen  $10^{13} \text{cm}^{-2}$  centros trivalentes de Si sin pasivar en la interfaz Si-SiO<sub>2</sub> que son corregidos para obtener una interfaz de óptima calidad. Esto se logra, básicamente, incluyendo en el proceso de fabricación un calentamiento en atmósfera de H<sub>2</sub> [27]. Sin embargo, mediante interacción con la radiación o portadores energéticos, éstos pueden ser nuevamente despasivados.

Uno de los modelos más convincentes, en nuestra opinión, para la descripción de la creación de estados de interfaz mediante radiación, es el propuesto por Shaneyfelt et al. [28]. En este modelo, para polaridad positiva al gate, los huecos generados por la radiación incidente se desplazan hacia la interfaz Si-SiO<sub>2</sub> donde pueden ser atrapados cerca de la superficie y liberar hidrógeno en forma de protones. Estos últimos reaccionan rompiendo una unión Si-H, dando origen a los estados de interfaz.

De esta manera, el modelo explica la evolución temporal de la generación de estados, que es determinada por los iones de hidrógeno, mientras la dependencia con el campo en la generación esta determinada por la sección eficaz de captura de huecos, la cual es proporcional a  $E^{1/2}$  [28]. Lo que no es claro, en esta interpretación, es si los átomos de hidrógeno son liberados cerca de la interfaz Si-SiO<sub>2</sub>, o en todo el volumen del SiO<sub>2</sub>.

Por otro lado, varios autores proponen, basados en resultados experimentales, que los huecos atrapados pueden convertirse en estados de interfaz [29-32]. Sin embargo, al estudiar las características de creación de estados de interfaz y aniquilamiento de huecos, se puede encontrar que presentan diferente dependencia en temperatura, tensión aplicada y tiempo, lo que mostraría que ambos procesos son independientes [33].

### 3.2 Separación de Componentes de Degradación

Para estudiar la degradación de dispositivos, es conveniente poder separar las componentes de los corrimientos totales de las curvas características (C-V e I-V). Considerando las contribuciones debidas a estados de interfaz ( $\Delta V_{it}$ ) y a carga atrapada en el óxido ( $\Delta V_{ot}$ ), el corrimiento total se escribe como:

$$\Delta V_T = \Delta V_{ot} + \Delta V_{it} \quad [3.1]$$

La mayoría de los métodos de separación de cargas utilizan alguna hipótesis que permite separar tales contribuciones. Una de las más utilizadas es la hipótesis de midgap: los estados de interfaz poseen una distribución en energía tal que los que están por encima de la mitad del gap, se comportan como aceptores y los de la mitad inferior como donores (Fig.3.12). Así, la tensión a la cual el nivel de Fermi en la superficie del semiconductor coincide con la mitad del gap ( $V_G = V_{mg}$ ) sólo estaría afectada por cargas fijas en el óxido. Es decir,

$$\Delta V_{mg} = \Delta V_{ot} = \frac{-q \cdot \Delta N_{ot}}{C_{OX}} \quad [3.2]$$

El corrimiento debido a los estados de interfaz se obtiene como el corrimiento de tensión en otra condición de curvatura de bandas, por ej.  $V_T$ , descontando el corrimiento de midgap:

$$\Delta V_{it} = \Delta V_T - \Delta V_{mg} = \frac{-q \cdot \Delta N_{it}}{C_{OX}} \quad [3.3]$$

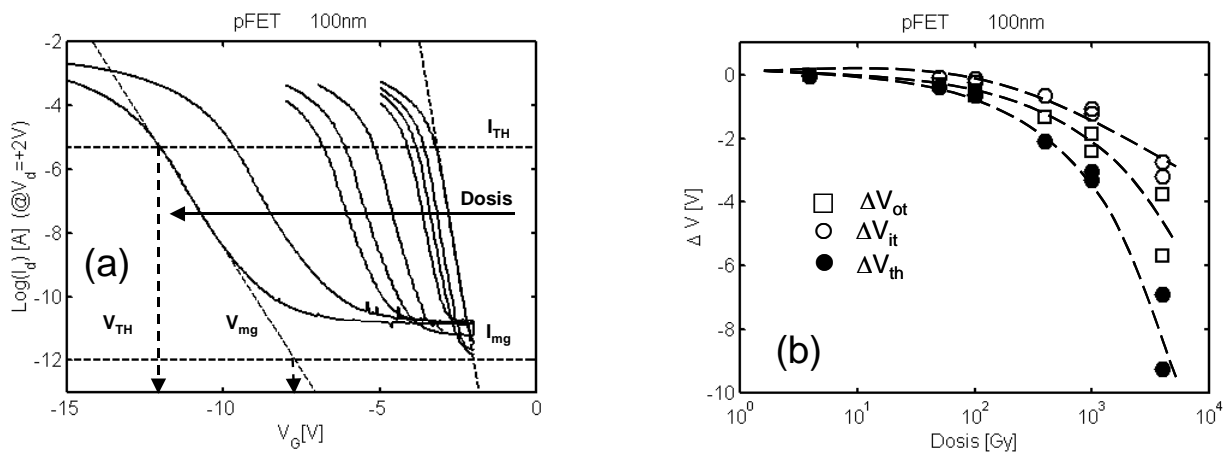
Las expresiones 3.2 y 3.3, permiten separar las contribuciones al corrimiento de  $V_T$  a partir de las curvas características [34].

Esta técnica se aplicó en transistores MOSFET irradiados con espesores de óxido de 100, 24, 4.5 nm, y substrato tipo n- y p-Si.

La Fig.3.8(a) muestra curvas de corriente de drain  $I_d$  en función de la tensión  $V_G$  para  $V_d$  constante, en pFET de 100nm, luego de sucesivos pulsos de radiación de dosis crecientes hasta 10 KGy ( $\text{SiO}_2$ ). Se observan translaciones paulatinas con la dosis total debido a la acumulación de la carga positiva, y un leve cambio en la pendiente de la región lineal de  $\text{Log}(I_d)$  vs.  $V_G$ , debido a los estados de interfaz [3].

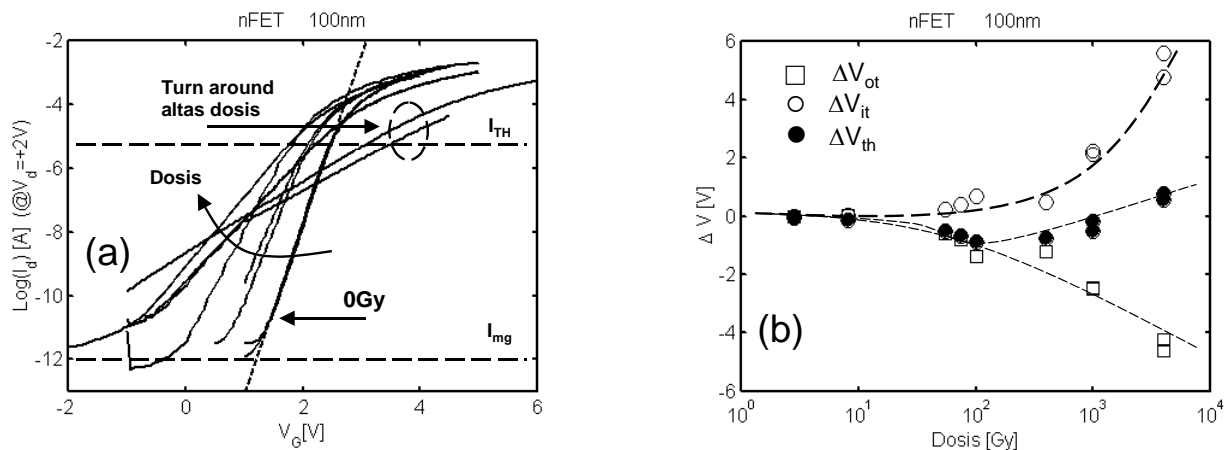
Asumiendo como válido el método mencionado, se calcularon las componentes  $\Delta V_{ot}$  y  $\Delta V_{it}$  (ecuaciones 3.2 y 3.3 respectivamente). Los corrimientos en tensión de  $V_{TH}$  y  $V_{mg}$  se calcularon a partir de los niveles de corriente de encendido  $I_{th}$ , y midgap  $I_{mg}$  como se señala en la Fig.3.8(a).

La Fig.3.8(b) muestra resultados de  $\Delta V_{it}$ ,  $\Delta V_{ot}$  y  $\Delta V_{TH}$  en función de la dosis acumulada. Se observa en general, un aumento de la magnitud de los corrimientos (en valor absoluto) con la dosis acumulada donde, como se esperaba, los corrimientos están dominados por  $\Delta V_{TH}$ . Notar que el signo de los corrimientos (negativo) se corresponde a la acumulación de carga positiva.



**FIGURA 3.8:** Análisis de los cambios en la corriente de drain  $I_d$  en función de la tensión para  $V_d=+2V$  en un pFET de 100nm de óxido de gate. (a) Sucesión de curvas de  $I_d$  vs.  $V_G$  luego de pulsos de radiación gamma ( $\text{Co}^{60}$ ). Se señalan los niveles de corriente de encendido  $I_{TH}$  ( $V_T$ ) y de midgap  $I_{mg}$  ( $V_{mg}$ ) para el dispositivo inicial. (b) Corrimientos de las curvas características I-V en tensión, señalando las componentes del corrimiento total separadas según la técnica de midgap (sección 3.2) en función de la dosis acumulada.





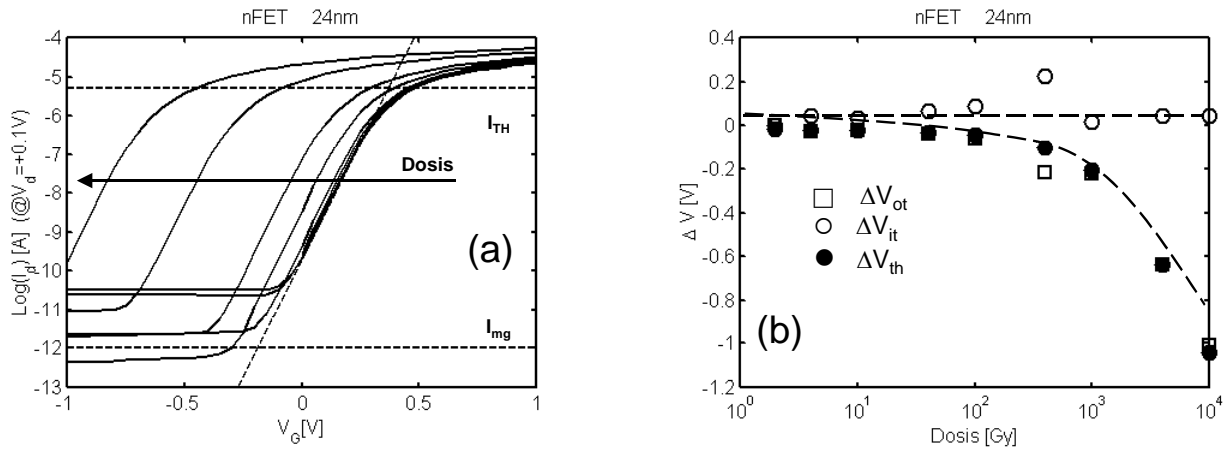
**FIGURA 3.9:** Análisis de los cambios en la corriente de drain  $I_d$  en función de la tensión para  $V_d=+2V$  en un nFET de 100nm de óxido de gate. (a) Sucesión de curvas de  $I_d$  vs.  $V_G$  luego de pulsos de radiación gamma ( $Co^{60}$ ). Se señalan los niveles de corriente de encendido  $I_{TH}(V_T)$  y de midgap  $I_{mg}(V_{mg})$  para el dispositivo inicial. (b) Corrimientos de las curvas características I-V en tensión, señalando las componentes del corrimiento total separadas según la técnica de midgap (sección 3.2) en función de la dosis acumulada.

La Fig. 3.9(a) y (b) muestra los resultados de una experiencia similar pero para el caso nFET de 100nm. La sucesión de curvas  $I_d$  vs.  $V_G$  muestran, en general, una pequeña traslación y una significativa disminución de la pendiente, generando un retroceso de la tensión  $V_T$  en el nivel de corriente de encendido  $I_{TH}$ .

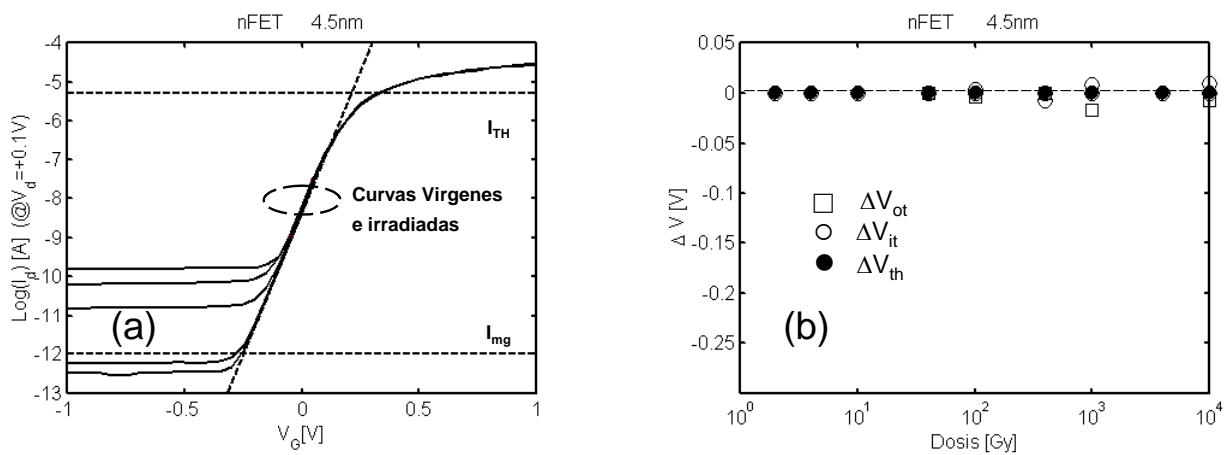
La Fig.3.9(b) muestra los resultados de las componentes. Se encontró que la acumulación de huecos tiende a aumentar ( $\Delta V_{ot}$  disminuye), mientras la densidad de estados de interfaz aumenta con la dosis acumulada. Ambas componentes se combinan y el resultado es evidente en la dinámica de  $V_{TH}$  y de las curvas  $I_d$  vs.  $V_G$ . Como la captura de huecos tiene una dinámica más rápida, prevalece durante el inicio de la experiencia, siendo los estados de interfaz los que determinan el efecto de “turn around” típico en los transistores canal-n irradiados [1].

Para el caso de nFET con 24nm de óxido de gate, las Fig.3.10(a) y (b) muestran el mismo tipo de análisis. La característica fundamental, es que las curvas  $I_d$  vs.  $V_G$  presentan traslación debido a la carga positiva acumulada, pero la pendiente de la región lineal de  $\text{Log}(I_d)$  vs.  $V_G$  se mantiene constante. Es decir, no se tienen variaciones significativas debido a los estados de interfaz, siendo los huecos atrapados responsables mayoritarios del corrimiento de  $V_{TH}$ . La Fig.3.10(b) muestra tales corrimientos en tensión. Se encontró que las variaciones debidas a los estados de interfaz  $\Delta V_{it}$  son

despreciables, mientras que sucede todo lo contrario para  $\Delta V_{ot}$  y  $\Delta V_T$ . Notar que las magnitudes anteriores se superponen.



**FIGURA 3.10:** Análisis de los cambios en la corriente de drain  $I_d$  en función de la tensión para  $V_d=+0.1V$  en un nFET de 24nm de óxido de gate. (a) Sucesión de curvas de  $I_d$  vs.  $V_G$  luego de pulsos de radiación gamma ( $Co^{60}$ ). Se señalan los niveles de corriente de encendido  $I_{TH}(V_T)$  y de midgap  $I_{mg}(V_{mg})$  para el dispositivo inicial. (b) Corrimientos de las curvas características I-V en tensión, señalando las componentes del corrimiento total separadas según la técnica de midgap (sección 3.2) en función de la dosis acumulada.

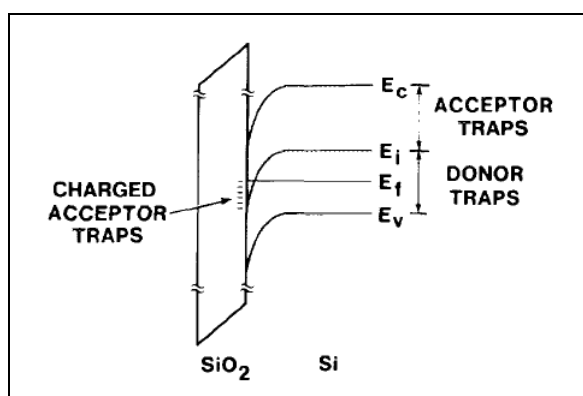


**FIGURA 3.11:** Análisis de los cambios en la corriente de drain  $I_d$  en función de la tensión para  $V_d=+0.1V$  en un nFET de 4.5nm de óxido de gate. (a) Sucesión de curvas de  $I_d$  vs.  $V_G$  luego de pulsos de radiación gamma ( $Co^{60}$ ). Se señalan los niveles de corriente de encendido  $I_{TH}(V_T)$  y de midgap  $I_{mg}(V_{mg})$  para el dispositivo inicial. (b) Corrimientos de las curvas características I-V en tensión, señalando las componentes del corrimiento total separadas según la técnica de midgap (sección 3.2) en función de la dosis acumulada.

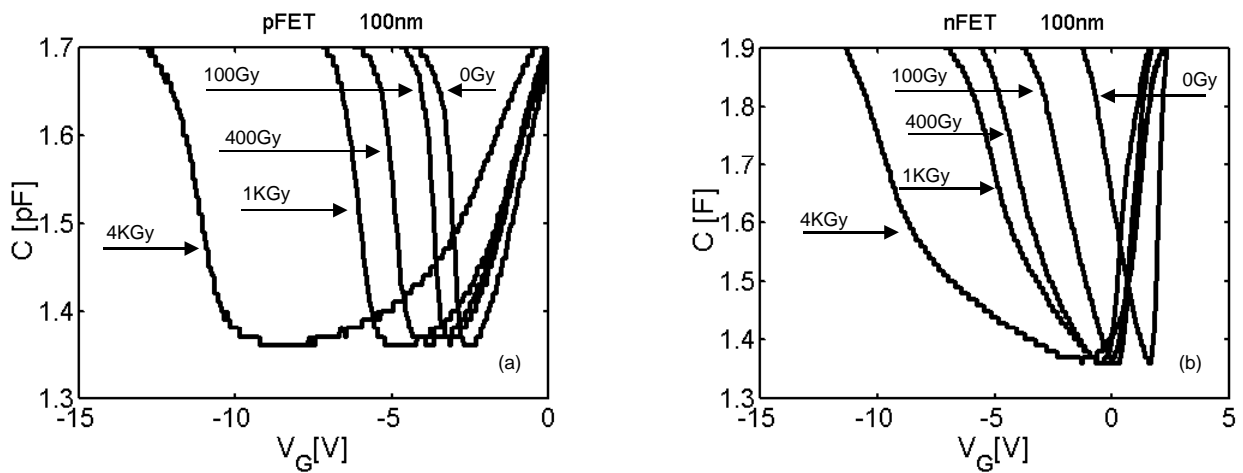
Las Figs. 3.11(a) y (b) muestran el mismo tipo de experiencia para óxidos de 4.5nm en un nFET. En el caso de óxidos delgados no se observan corrimientos significativos debido a la baja probabilidad de captura que presentan. Si bien a partir de este análisis se podría suponer que los óxidos delgados tienen una mejor respuesta a la degradación, se conoce que los parámetros de fiabilidad ( $Q_{BD}$  y  $T_{BD}$ ) presentan evidencia de degradación [35-38]. Además, mediciones de corriente de fuga (RILC, Radiation-Induced-Leakage-Current) [39-41] y de diodo controlado por puerta (GCD) reflejan la generación de estados asociada a la degradación [42,43].

### Hipótesis de Neutralidad

Como se mencionó anteriormente, la técnica de discriminación entre corrimientos de las características en tensión por carga atrapada y corrimientos por creación de estados de interfaz está basada en la neutralidad de los estados de interfaz en condición de midgap. La suposición de que en condición midgap la contribución se debe exclusivamente a carga fija en el óxido, se basa en estudios de resonancia ESR (sección 3.1.4) que muestran que dos tipos de “dangling bonds” dominan la generación de defectos. Se mostró que la generación de trampas de interfaz se debe principalmente a los centros  $P_b$ , mientras que la captura de carga a los centros  $E'$  [21-25]. Particularmente, se encontró que los  $P_b$  tienen un nivel donador en la parte inferior del gap del Si y un nivel aceptor en la parte superior del gap del Si (Fig.3.12), presentando ambos niveles aproximadamente igual densidad de estados. En consecuencia, se propuso que el corrimiento de  $V_{mg}$  dará una estimación aceptable de la carga acumulada en el óxido [25,44].



**FIGURA 3.12:** Diagrama de bandas mostrando la hipótesis de neutralidad respecto a la distribución de trampas en el gap del Si. Los estados distribuidos en la mitad inferior del gap son donores y en la mitad superior aceptores.



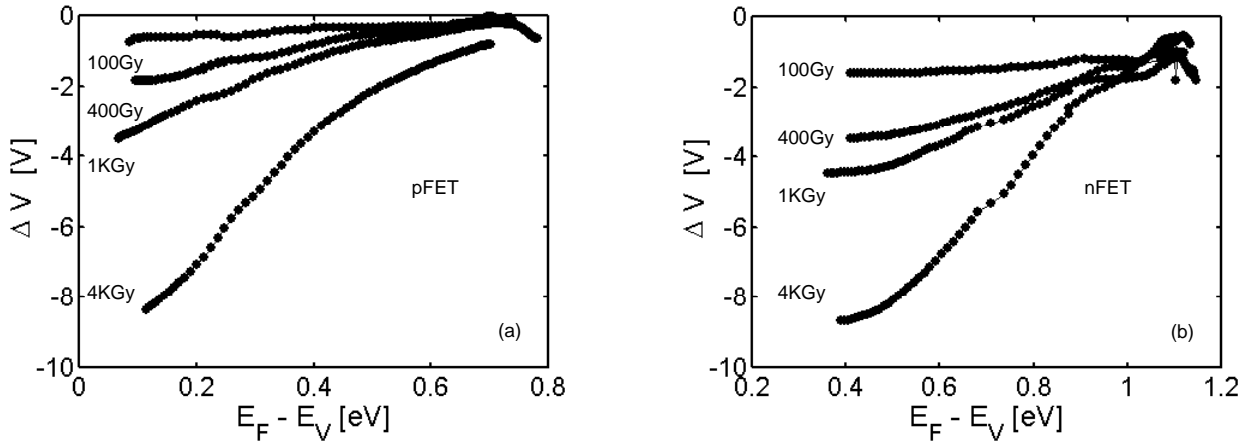
**FIGURA 3.13:** Sucesión de curvas C-V a alta frecuencia 1 MHz luego de pulsos de irradiación gamma ( $\text{Co}^{60}$ ) en (a) pFET, y (b) nFET. En ambos casos con espesor de óxido de 100nm.

Se analizaron los corrimientos de las curvas C-V irradiadas de los dispositivos nFET y pFET correspondientes a las Fig.3.8 y 3.9 respectivamente (Figs.3.13(a) y (b)). Las curvas C-V son modificadas por la radiación de la siguiente manera: el flanco derecho (correspondiente a la tensión de encendido  $V_T$  para nFET y a la tensión de Flat-Band  $V_{FB}$  para pFET) es poco alterado comparado con los dispositivos vírgenes, consistente con la ausencia de carga atrapada a esa tensión (en el óxido y en la interfaz Si-SiO<sub>2</sub>), para la cual, la mayor parte del gap esta debajo del nivel de Fermi  $E_F$  en la superficie del Si. El pequeño corrimiento hacia tensiones negativas en nFET (Fig.3.13(b)) no parece incrementarse con las irradiaciones sucesivas y dosis más altas.

El flanco izquierdo de las curvas C-V (correspondiente a acumulación en nFET y a inversión en pFET) evidencia, en contraste, corrimientos importantes que se incrementan con la dosis acumulada. En este caso, la mayor parte del gap está sobre el nivel de Fermi  $E_F$ , y en consecuencia los estados de interfaz se encuentran descargados. El ensanchamiento de las curvas hacia tensiones negativas es debido a la presencia de carga positiva neta a esa tensión. Además, estos cambios se corresponden con los observados en las curvas I-V en escala logarítmica (Fig.3.8(a) y Fig.3.9(a)).

La interpretación más simple, consistente con estos resultados, es la creación de estados de interfaz donores durante la irradiación. Estos estados son neutros cuando el gate esta polarizado positivo, y positivamente cargados a la polaridad opuesta. Alternativamente, los resultados podrían ser interpretados como captura de carga positiva en el óxido,

cerca de la interfaz [45,46], en simultaneo con la creación de una cantidad igual de estados de interfaz aceptores. Con lo cual, los efectos a polaridad positiva (donde los estados están ocupados) se cancelan mutuamente, justificando las pocas modificaciones en el flanco derecho de las curvas C-V durante las irradiaciones.



**FIGURA 3.14:** Corrimientos en tensión del flanco izquierdo de las curvas C-V a capacidad constante, en función de la energía en el Si-gap. (a) pFET, y (b) nFET. Estas curvas corresponden a las mediciones de C-V de las Fig.3.13.

Los corrimientos del flanco izquierdo de las curvas C-V son graficados en la Fig.3.14 en función de la distancia del nivel de Fermi a la banda de valencia en la superficie del semiconductor [47],

$$E_F - E_V = q \cdot \int_{V_{FB}}^V \left( 1 - \frac{C(V)}{C_{OX}} \right) \cdot dV + \left( \frac{E_{gap}}{2} - q \cdot \psi_b \right) \quad [3.4]$$

Interpretando estos corrimientos en término de la generación de carga en el óxido y estados de interfaz se obtiene la siguiente expresión,

$$\Delta V(E) = \frac{1}{C_{OX}} \left[ Q_{OX} - q \cdot \int_{E_V}^E D_{it}^{acc}(E') \cdot dE' + q \cdot \int_E^{E_C} D_{it}^{don}(E') \cdot dE' \right] \quad [3.5]$$

donde  $D_{it}^{acc}$  y  $D_{it}^{don}$  son las densidades de estados aceptores y donores por unidad de área y de energía.

La expresión 3.5 asume que la carga está ubicada cerca de la interfaz, y muestra que un estado donador es equivalente a uno aceptor (a la misma energía), más una carga atrapada. Por lo tanto, basándose exclusivamente en corrimientos de tensión, no es posible diferenciar ambos casos. Esta situación es evidente cuando se evalúa la expresión 3.5 en la banda de conducción  $E_C$ ,

$$\Delta V(E_C) = \frac{1}{C_{OX}} \left[ Q_{OX} - q \cdot \int_{E_V}^{E_C} D_{it}^{acc}(E') \cdot dE' \right] \quad [3.6]$$

La expresión 3.6 muestra la equivalencia entre la ausencia de corrimiento en el flanco correspondiente de la curva C-V (tendencia hacia  $\Delta V \approx 0$ ), y la igualdad entre la cantidad de carga positiva y estados aceptores creados durante la irradiación.

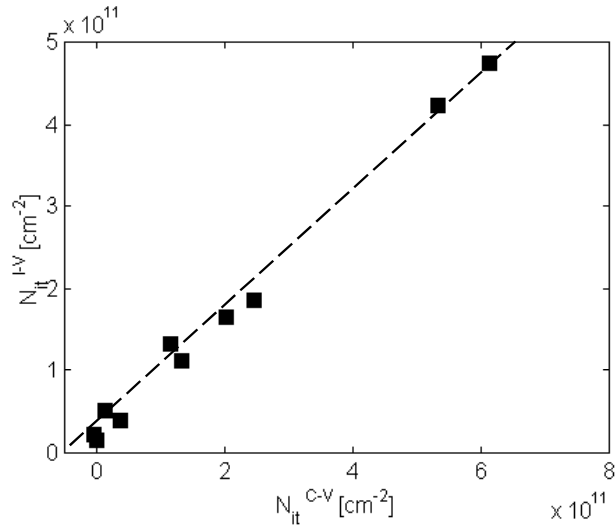
Una evaluación independiente de estados fue obtenida de la pendiente de las curvas  $\text{Log}(I_d)$  vs  $V_G$  (Fig.3.8(a) y 3.9(a)) en la región sub-umbral, que según la teoría de corriente de difusión en inversión débil, se escribe como [3]:

$$b = \frac{\log(e)}{\frac{kT}{q} \left( 1 + \frac{D_{it}}{C_{OX}} \right)} \quad [3.7]$$

donde  $b$  es la pendiente de  $\text{Log}(I_d)$  vs.  $V_G$ ,  $k$  la constante de Boltzman, y  $T$  la temperatura absoluta.

La cantidad total de estados de interfaz  $N_{it}$  creados durante la irradiación es, a partir de las mediciones de capacidad,  $N_{it} = \Delta V \cdot C_{OX} / q$ , donde  $\Delta V$  es el corrimiento máximo observado en las Fig.3.13 para cada dosis.

En orden de comparar estos resultados con  $D_{it}$  obtenido de las curvas I-V, a partir de la expresión 3.7, la siguiente relación se cumple,  $N_{it} = \int [D_{it} - D_{it}(virgen)] \cdot dE$ , donde la integración es sobre  $\Delta E$ , el intervalo de energía recorrido por el nivel de Fermi  $E_F$  en la medición C-V ( $\Delta E = 0.6\text{eV}$ ). Los resultados de ambos métodos para pFET, mostrados en la Fig.3.15, proveen información consistente.

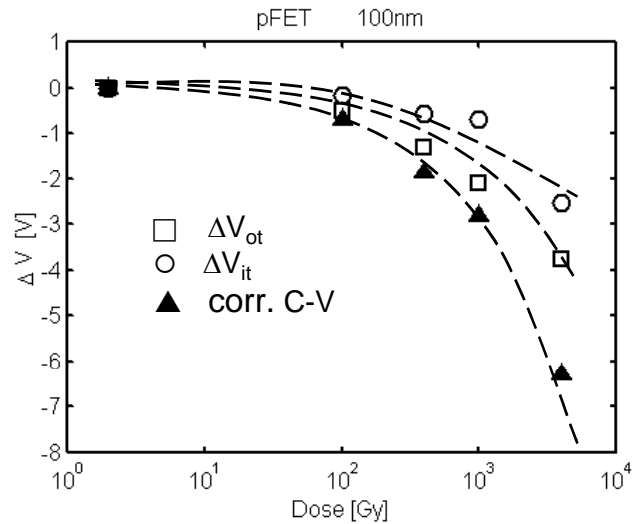


**FIGURA 3.15:** Densidad de estados de interfaz calculados por el método de midgap, mediante las curvas I-V,  $N_{it}^{I-V}$ , en función de la densidad de estados calculados mediante el corrimiento de curvas C-V,  $N_{it}^{C-V}$ , para distintas dosis de radiación en el caso de pFET de 100nm de espesor de óxido.

Como se mencionó anteriormente, el método de midgap está basado en la suposición que los estados de interfaz son aceptores o donores según su posición energética, arriba o debajo del midgap respectivamente. Con la estructura polarizada en condición de midgap: ( $E_F = E_i$  en la superficie Si-SiO<sub>2</sub>) los estados deberían ser eléctricamente neutros, y los corrimientos en las curvas C-V o I-V se corresponderían solamente a la carga atrapada en el óxido. Aceptando esta hipótesis, es posible discriminar entre la carga atrapada en el óxido y la creación de estados de interfaz.

La buena correlación entre valores de  $N_{it}$  obtenida por estos métodos permite interpretar los resultados independientemente de la técnica de medición (Fig.3.15).

Los corrimientos del flanco derecho en las curvas C-V para pFET (Fig.3.13(a)), representando una medida de la cantidad de estados de interfaz creados durante la irradiación, son graficados en la Fig.3.16 junto a los resultados del método de midgap (Fig.3.8(b)). La diferencia entre los corrimientos originados en la creación de estados de interfaz a través de las curvas I-V y C-V (curvas superior e inferior respectivamente difieren en un factor 3) corresponde a la diferencia de rango en el gap del Si explorado por cada técnica.



**FIGURA 3.16:** Corrimientos en tensión del flanco izquierdo de las curvas C-V, y de las componentes  $\Delta V_{it}$  y  $\Delta V_{ot}$  según el método de midgap. En todos los casos, en función de la dosis acumulada.

Las tres curvas y su interpretación son consistentes con los resultados experimentales. Pero si el método de midgap se aplica exclusivamente, el aspecto fundamental de estos resultados, es decir, que hay un estado aceptor por cada carga positiva (evidenciado por la ausencia de corrimientos en el flanco derecho de las curvas C-V en la Fig.3.13) se habría perdido.

Cualquier combinación de estados donores y aceptores puede ser posible dentro de los siguientes casos límites: la no existencia de carga positiva, ni estados aceptores; o la no existencia de estados donores. Pero en cualquier caso, las cargas y los estados aceptores deben aparecer de a pares.

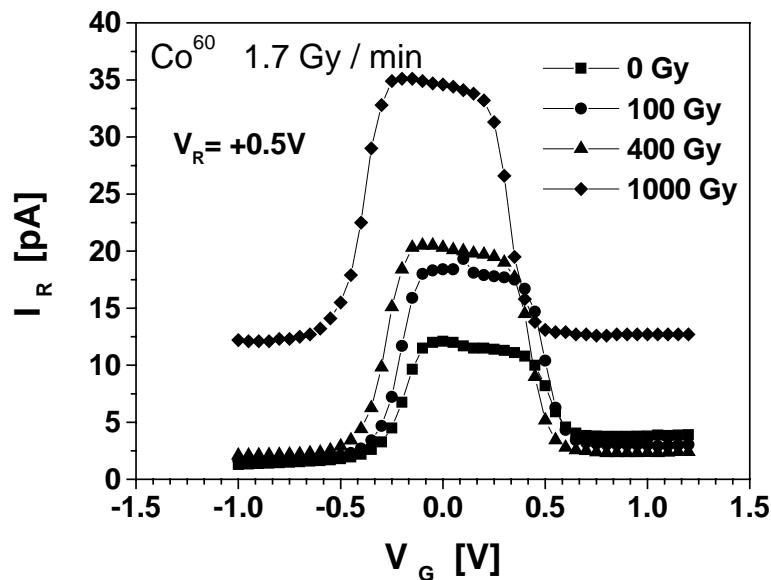
A pesar que la interpretación más simple puede explicar los resultados con la creación de estados donores (excepto los corrimientos iniciales en el flanco derecho de las curvas C-V), no se debería descartar la posibilidad que el estado donador observado podría ser causado por una carga positiva, más un estado donador. Esto podría ser consistente con las numerosas descripciones en la literatura sobre la fuerte correlación entre cargas y estados [26,46,48-50]. Ninguna medición eléctrica puede distinguir entre ambas entidades.



### 3.3 Degradación por Radiación Gamma en Diodo Controlado por Puerta

Como se discutió en el capítulo 1, la técnica de diodo controlado por puerta permite obtener información sobre la carga atrapada y los centros de generación-recombinación de la interfaz Si-SiO<sub>2</sub>.

Para conocer la respuesta de este método en dispositivos irradiados con fotones gamma, se realizaron experiencias con transistores nMOS de 24nm de espesor de óxido. Los dispositivos fueron irradiados con fotones gamma de una fuente de Co<sup>60</sup> a una tasa de dosis constante de 1.7Gy/min hasta una dosis total acumulada de 1000Gy (SiO<sub>2</sub>). La degradación fue periódicamente interrumpida para evaluar el estado del sistema MOS mediante la medición de la corriente de sustrato en condición de diodo controlado por puerta GCD.



**FIGURA 3.17:** Series sucesivas de mediciones de corriente de sustrato  $I_R$ , en configuración de diodo controlado por puerta GCD ( $V_R=+0.5V$ ) para irradiaciones con fuente gamma ( $Co^{60}$ ).

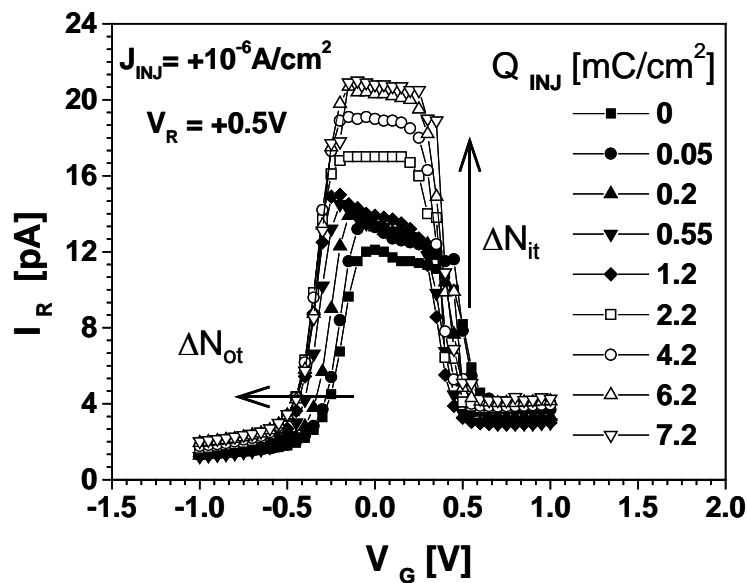
La Fig.3.17 muestra resultados típicos de los efectos sobre  $I_R$ . En general, los cambios son acumulación de carga positiva (corrimiento del GCD hacia valores negativos de tensión) e incremento de los estados de interfaz (aumento de altura del pico GCD). Notar que algunas de las curvas presentan una corriente de fondo. Esto es posiblemente generado por un aumento de la región de deserción en cercanías de la juntura p-n debido a carga positiva atrapada en el óxido de campo.

### 3.4 Degradación por Portadores Energéticos en Diodo Controlado por Puerta

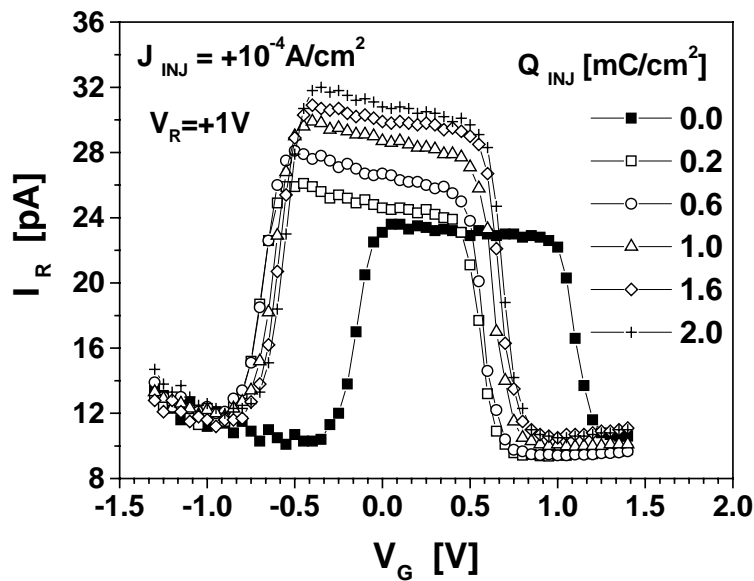
Parte de los dispositivos de la misma oblea sobre la que se hicieron las mediciones de irradiación de la sección anterior, fueron inyectados con portadores energéticos.

La Fig.3.18 muestra resultados típicos de mediciones de GCD después de pulsos consecutivos de corriente constante (CCS) a  $10^{-6}$  A/cm<sup>2</sup>. La corriente aplicada causa un incremento en el pico de  $I_R$  (incremento de estados de interfaz), y un corrimiento hacia tensiones negativas (acumulación de carga positiva).

La Fig.3.19 muestra, por otro lado, mediciones similares pero con un nivel de corriente de degradación más alto, de  $10^{-4}$  A/cm<sup>2</sup>. Los pasos sucesivos de degradación aumentan la densidad de estados de interfaz, pero el corrimiento general es hacia tensiones positivas luego de un corrimiento inicial a tensiones negativas.



**FIGURA 3.18:** Series sucesivas de mediciones de corriente de sustrato  $I_R$ , en configuración de diodo controlado por puerta GCD ( $V_R=+0.5$ V) en función de la carga inyectada para una densidad de corriente de inyección  $10^{-6}$  A/cm<sup>2</sup>.



**FIGURA 3.19:** Series sucesivas de mediciones de corriente de sustrato  $I_R$ , en configuración de diodo controlado por puerta GCD ( $V_R=+1\text{V}$ ) en función de la carga inyectada para una densidad de corriente de inyección  $10^{-4} \text{ A/cm}^2$ .

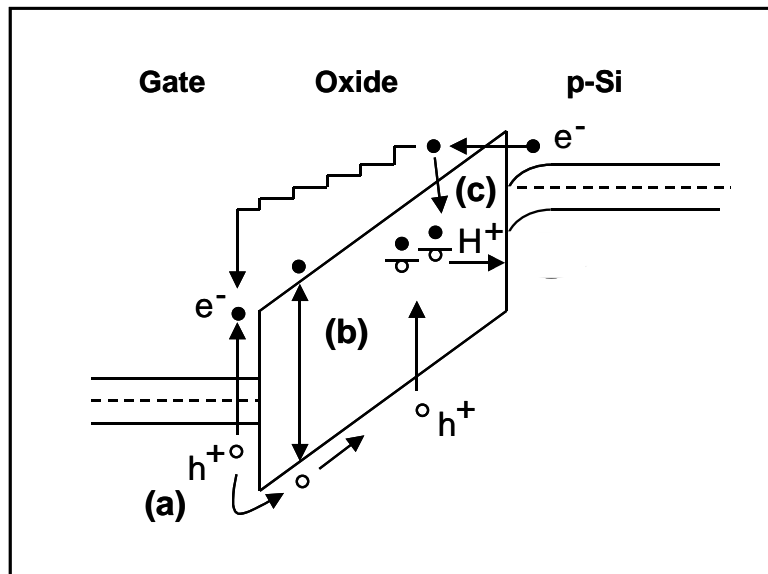
Los resultados de las Figs.3.18 y 3.19 pueden ser interpretados mediante modelos aceptados de degradación del óxido de puerta (ver capítulo 2). Cuando los electrones son inyectados en la banda de conducción del  $\text{SiO}_2$ , ganan energía del campo aplicado a medida que atraviesan la capa de óxido (ver Fig.3.20).

Los electrones energéticos causan, generación y/o captura de huecos, y generación de defectos por especies hidrogenadas [51-54]. Algunos de los huecos y especies hidrogenadas son atrapados cerca del ánodo, pero la mayoría se mueve bajo la influencia del campo hacia la interfaz cátodo-óxido. Parte de los electrones que son inyectados desde el cátodo pueden recombinar con los defectos produciendo estados de interfaz adicionales [31,48], (ver Fig.3.20).

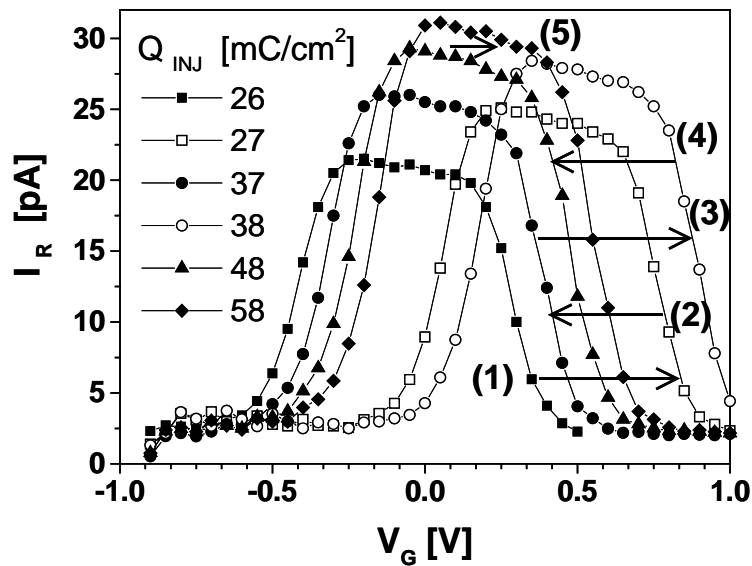
Para niveles de corriente de degradación más altos (Fig.3.19), se tiene una captura inicial importante de huecos, seguido por recombinación de electrones-huecos que podría ser uno de los mecanismos que aumentan la densidad de estados de interfaz.

Al aplicar la misma interpretación a niveles de corriente de degradación bajo (Fig.3.18), se tiene una tasa de recombinación de electrones-huecos más alta que compensa la creación de carga positiva. Para enfatizar las diferencias, niveles altos y bajos de

corriente de degradación se aplicaron en forma sucesiva. La Fig.3.21 muestra los resultados.



**FIGURA 3.20:** Esquema de diagrama de bandas mostrando la creación de defectos mediante, (a) inyección de huecos desde el ánodo, (b) ionización por impacto, y (c) captura o recombinación.



**FIGURA 3.21:** Series sucesivas de mediciones de corriente de sustrato  $I_R$ , en configuración de diodo controlado por puerta GCD ( $V_R=+0.5V$ ) en función de la carga inyectada para dos niveles de densidad de corriente de inyección.  $10^{-4} A/cm^2$  para los pasos (2) y (4); y  $10^{-6} A/cm^2$  para los pasos (1), (3), y (5).

En ambos casos se tiene generación de estados de interfaz. La Fig.3.21 parece indicar que entre los mecanismos de generación de estados interfaciales, la recombinación electrón-hueco es mucho más eficiente que los restantes. Durante la inyección a alto nivel de corriente, inyectando aproximadamente 10 veces más carga, la densidad de estados de interfaz se mantiene casi constante mientras se carga positivamente el óxido. En tanto que, a niveles bajo de corriente de inyección, se incrementa significativamente la densidad de estados de interfaz mientras la curva se traslada hacia valores positivos de tensión. Esto se debe, posiblemente, a captura de electrones o recombinación con huecos atrapados.

A pesar de la aparente evidencia de que la captura y recombinación de electrones a bajos campos genera o activa los estados de interfaz, otros mecanismos pueden ser responsables. Hay evidencias que el crecimiento de estados luego de degradación eléctrica o radiación se genera aplicando la polaridad adecuada [31,55-57].

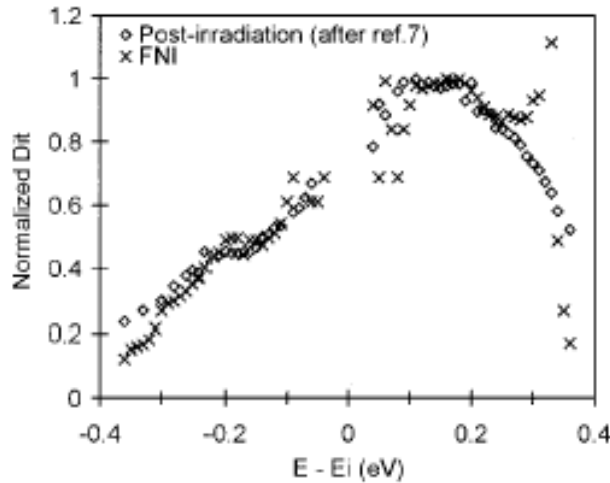
El tiempo de degradación prolongado a bajos niveles de corriente, en nuestro experimento, puede contribuir a una alta generación de estados. Experimentos adicionales son necesarios para discriminar esta contribución que, de acuerdo con [54], podría ser responsable de la totalidad de los estados generados.

Notar que en la Fig.3.21 no se recuperan totalmente las curvas en los pasos (2) y (4) durante la serie de pulsos de degradación, debido a carga neta negativa remanente luego de cada ciclo en este experimento. Esto es indicativo de creación de trampas en el óxido asociada a campos altos [52,54].

### **3.5 Comparación de las Degradaciones Eléctrica y por Radiación**

A pesar que algunos trabajos recientes estudian las diferencias entre la degradación por portadores energéticos y por radiación, es necesario mayor evidencia experimental para establecer similitudes y diferencias entre ambos procesos [58-61].

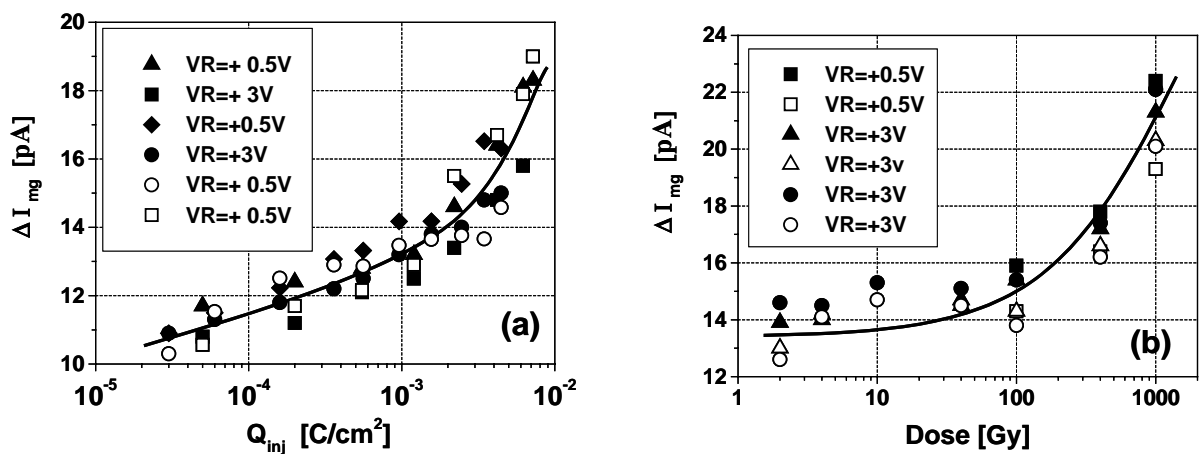
En particular se reportó que la distribución en energía de los estados de interfaz generados por inyección de portadores, y por radiación gamma son similares [61]. La Fig.3.22 muestra el resultado de esta comparación, donde se observa un pico en la densidad en la parte superior del gap [61].



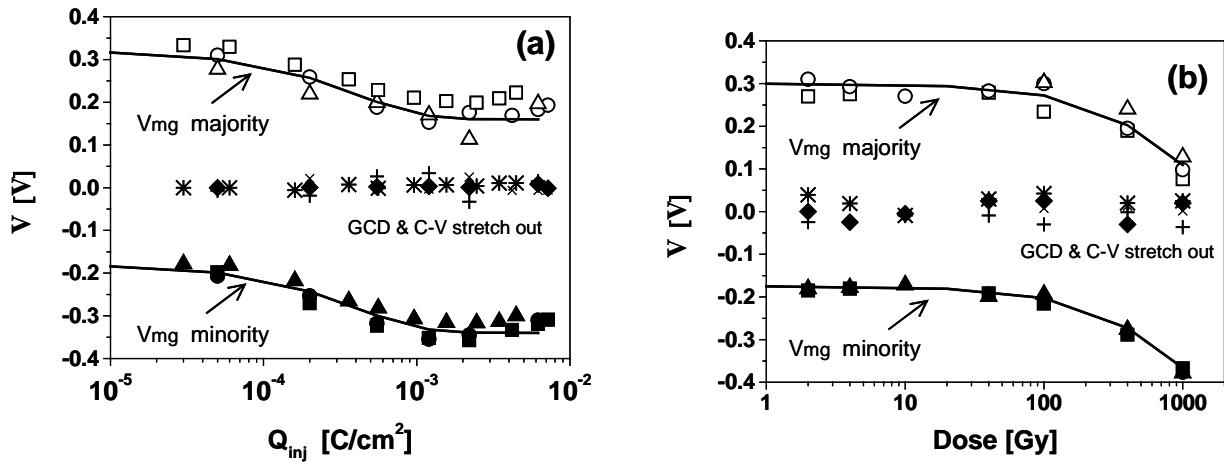
**FIGURA 3.22:** Densidad normalizada de estados en función de la energía en el gap del Si. Figura tomada de Ref.[61].

En las secciones 3.3 y 3.4, diferentes series de dispositivos, de la misma oblea, fueron degradados con pulsos de radiación gamma (GRS), y corriente constante (CCS). La degradación fue periódicamente interrumpida para evaluar el estado del sistema MOS mediante la medición de la corriente de sustrato en condición de diodo controlado por puerta GCD (sección 1.7).

A fin de comparar los efectos de degradación por ambos mecanismos –portadores energéticos y radiación- se compara la altura y los corrimiento de la corriente  $I_R$  en ambos flancos, correspondiente a la tensión de midgap ( $V_{mg}$ ) para mayoritarios y minoritarios ( $V_{mg}+V_R$ ).



**FIGURA 3.23:** Altura de pico de la corriente  $I_R$  para midgap (símbolos abiertos) e inversión (símbolos cerrados) en función de: (a) carga inyectada, y (b) dosis acumulada.

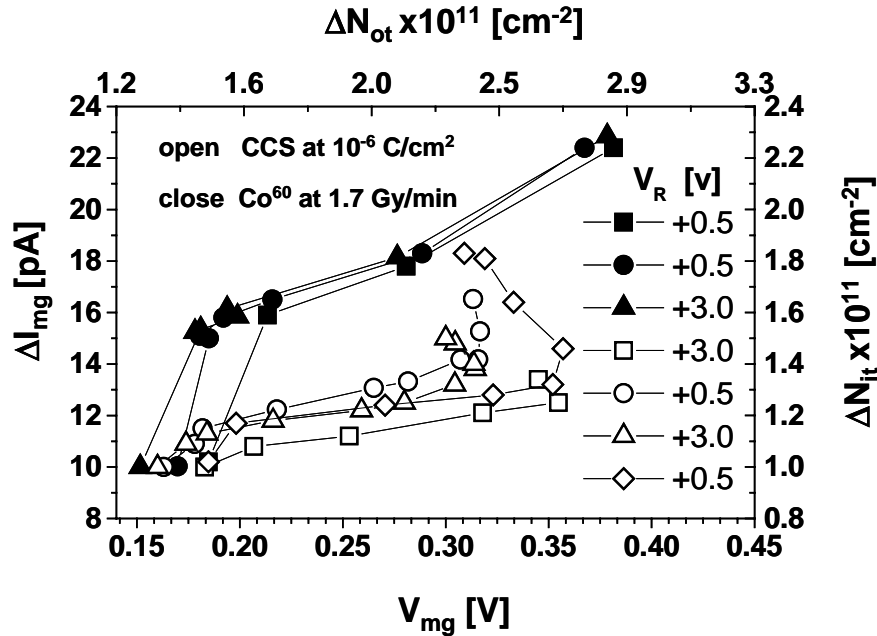


**FIGURA 3.24:** Posición en tensión de los flancos de la corriente  $I_R$ , para midgap (símbolos cerrados) e inversión (símbolos abiertos) en función de, (a) carga inyectada, y (b) dosis acumulada. Superpuesto el ancho de las curvas C-V y de los picos  $I_R$  GCD.

La Fig.3.23 muestra  $\Delta I_{mg}$  en función de la degradación acumulada para portadores energéticos y radiación. Se observa que  $\Delta I_{mg}$  aumenta en forma constante a medida que la degradación procede. No se tienen mayores diferencias entre acumulación e inversión. La Fig.3.24 muestra la evolución de los flancos, también para ambos tipos de mecanismos de degradación. Las curvas de la Fig.3.24(a) presentan saturación para carga inyectada mayor a  $10^{-3}$  Coul/cm<sup>2</sup> como es reportado en otros trabajos [48]. Superpuestas en estas figuras se tienen las magnitudes de los anchos de las curvas LFL-CV (sección 1.7) y de la corriente  $I_R$ , que es directamente proporcional a la densidad de estados de interfaz [1,2]. El ancho de la curva LFL-CV es también proporcional al espesor del óxido, por lo cual la determinación es difícil en estas muestras relativamente delgadas. En este caso, la técnica de GCD es más sensible para la determinación que las técnicas usuales basadas en corrimientos de tensión [1,2]. Notar que la dispersión de los datos experimentales ( $\approx 0.1V$ ) resulta en una densidad de estados de interfaz del mismo orden de magnitud que mediante GCD ( $10^{+11}$  cm<sup>-2</sup> de la Fig.3.25).

Para analizar las diferencias de los dos tipos de mecanismos de degradación en función de un parámetro físico en común, la densidad de estados de interfaz es estudiada en función de la carga atrapada.

La Fig.3.25 muestra  $\Delta I_{mg}$  vs.  $V_{mg}$ . Las densidades de estados y de carga atrapada son calculadas usando las expresiones (1.23) y (3.2) respectivamente.



**FIGURA 3.25:** Altura del pico de la corriente  $I_R$  en función de la tensión de midgap  $V_{mg}$  para dispositivos irradiados e inyectados.

Luego de la degradación inicial, la tasa de crecimiento de estados de interfaz respecto de la carga acumulada es similar para ambos casos. Está representada por la pendiente  $3.7 \times 10^{-11}$  A/V (equivalente a  $0.46 = \Delta N_{it} / \Delta N_{ot}$ ) para GRS y  $1.4 \times 10^{-11}$  A/V (equivalente a  $0.20 = \Delta N_{it} / \Delta N_{ot}$ ) para CCS. Las muestras irradiadas presentan una densidad de estados de interfaz levemente mayor. Esto es sorprendente con relación a la energía involucrada en los portadores en ambos casos. Para CCS la energía máxima de los portadores es aproximadamente  $q \cdot V_G$  ( $\sim 20$  eV en nuestras condiciones), mientras para GRS los electrones ionizados tienen una energía del orden de 100 KeV [5,62]. Como se menciona en el Capítulo 2, la degradación por inyección del óxido de puerta es principalmente dependiente de la tensión de gate  $V_G$ , i.e. la energía de los portadores inyectados [63,64], con lo cual se esperaría una mayor diferencia en los valores de  $N_{it}$ . Estos resultados apoyarían la suposición de que la creación de estados de interfaz está relacionada con la captura y transporte de huecos y/o especies hidrogenadas, y no con la



interacción directa de la radiación, ni con el flujo de electrones en la interfaz [26,50,65-68]..

A medida que la degradación procede, las curvas muestran comportamientos diferentes para una misma carga atrapada  $-N_{ot}=2.5 \times 10^{11} \text{cm}^{-2}$ -. Las curvas correspondientes a inyección de portadores muestran un retroceso en la carga acumulada. La recombinación electrón-hueco pasa a ser el mecanismo dominante en la creación de los estados de interfaz.

### **3.6 Ocupación de Trampas de Volumen en Dispositivos Irradiados**

Hasta el momento se investigaron los efectos de la radiación gamma y de portadores energéticos en forma separada.

La incidencia de radiación produce estados de interfaz y carga positiva en el seno del  $\text{SiO}_2$  que se traduce, en términos eléctricos, en corrimientos de la tensión de Flat-Band  $V_{FB}$  en un transistor MOSFET.

Por otro lado, con relación a dispositivos inyectados con portadores energéticos, se mostró que los corrimientos eléctricos se deben a la combinación de captura de huecos y a la recombinación de electrones y huecos.

Entonces, con la intención de extender la comparación de las características eléctricas frente a ambos mecanismos de degradación, se propuso estudiar los efectos de la radiación en dispositivos previamente inyectados. Para esto se midieron los corrimientos sucesivos de la tensión de Flat-Band ( $\Delta V_{FB}$ ), a partir de las curvas C-V, luego pulsos de radiación o inyección eléctrica. En todos los casos se usaron nMOSFET de 24nm de óxido de gate.

#### **3.6.1 Modelo de Balance Dinámico**

Para estudiar las propiedades de captura de trampas en el  $\text{SiO}_2$  (sean generadas por radiación o inyección) se utilizó el Modelo de Balance Dinámico [69] el cual establece que la dinámica de captura en el óxido se basa en la combinación de dos procesos: atrapamiento y liberación o neutralización de portadores en las trampas en el  $\text{SiO}_2$ . Ambos procesos pueden estar relacionados a mecanismos físicos distintos, pero resultan en una misma ecuación de balance [70]. El modelo establece que la ocupación de trampas alcanza el estado estacionario cuando se equilibran ambas componentes. La dependencia con el campo se introduce mediante la probabilidad de ocupación

estacionaria  $f(E)$  en la definición de la densidad de trampas ocupadas  $\tilde{n}(E)$  en estado estacionario.

$$\tilde{n}(E) = N \cdot f(E) \quad [3.8]$$

donde  $E$  es el campo aplicado, y  $N$  la densidad de trampas en el  $\text{SiO}_2$ .

El nivel de atrapamiento se puede medir a través de su efecto sobre la tensión de Flat-Band  $V_{\text{FB}}$ . Se mostró que el nivel estacionario de  $V_{\text{FB}}$  está relacionado con la ocupación estacionaria de trampas a través de la siguiente expresión [69]:

$$\tilde{V}_{\text{FB}}(E) = \frac{q \cdot t_{\text{OX}}^2}{2 \cdot \epsilon \cdot \epsilon_0} N \cdot f(E) + K \quad [3.9]$$

donde  $K$  representa a diferentes contribuciones de  $V_{\text{FB}}$  que no dependen del campo (cargas fijas, diferencia de las funciones trabajo, etc...).

Considerando la expresión 3.9 es posible determinar la densidad de trampas atrapadas suponiendo que la función de probabilidad de ocupación  $f(E)$  no se modifica durante la degradación, y que es independiente de la densidad de trampas  $N$ . Esta aproximación fue mostrada como válida cuando las variaciones de campo local son similares a las del campo medio en el óxido [70]. Luego,

$$\Delta \tilde{V}_{\text{FB}}(E_1, E_2) = \frac{q \cdot t_{\text{OX}}^2}{2 \cdot \epsilon \cdot \epsilon_0} [f(E_2) - f(E_1)] N \quad [3.10]$$

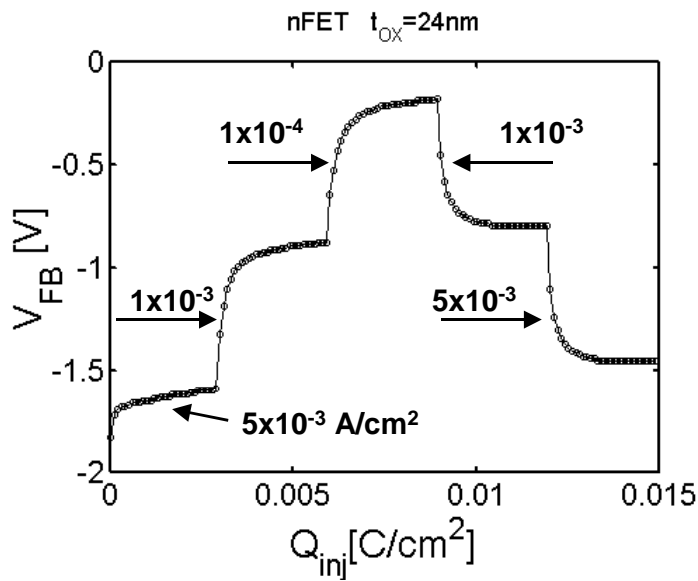
A partir de esta proporcionalidad, se puede determinar en forma experimental la densidad de trampas en el volumen del  $\text{SiO}_2$  midiendo los niveles estacionarios de  $V_{\text{FB}}$  a distintos campos.

### 3.6.2 Medición de Niveles Estacionarios

Con la intención de evaluar la dinámica de atrapamiento en dispositivos irradiados utilizando esta técnica, se midieron los niveles estacionarios de  $V_{\text{FB}}$  luego de degradar el dispositivo con pulsos de irradiación gamma crecientes en dosis acumulada.

El nivel estacionario de  $V_{\text{FB}}$  se alcanza mediante inyección a corriente constante de una pequeña cantidad de carga para no crear nuevos defectos. Cada serie de inyección, consistió en cinco sub-series, en las cuales se aplicaron diferentes valores de corriente al gate y se midió la tensión de  $V_{\text{FB}}$  hasta encontrar el nivel estacionario.

La Fig.3.26 muestra los resultados para un dispositivo virgen, donde se mide  $V_{FB}$  en función de la carga inyectada. Esta alcanza distintos niveles estacionarios que dependen del valor del campo aplicado al óxido de gate, que determina, a su vez, los niveles de corriente inyectada. La simetría en los valores utilizados de corrientes permite alcanzar diferentes niveles estacionarios y retornar al valor inicial. Notar que cada serie de inyección involucra una cantidad pequeña de carga acumulada,  $1.5 \times 10^{-2} \text{Coul/cm}^2$ , con lo cual se desprecia su influencia en la degradación general del dispositivo.

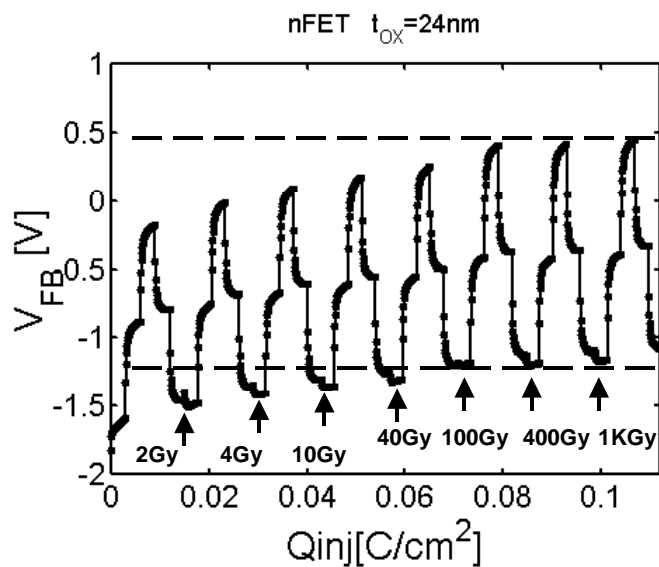


**FIGURA 3.26:** Tensión de Flat-Band ( $V_{FB}$ ) en función de la carga inyectada para distintos niveles de densidad de corriente de inyección. Según la densidad de corriente aplicada, cada segmento alcanza un nivel estacionario.

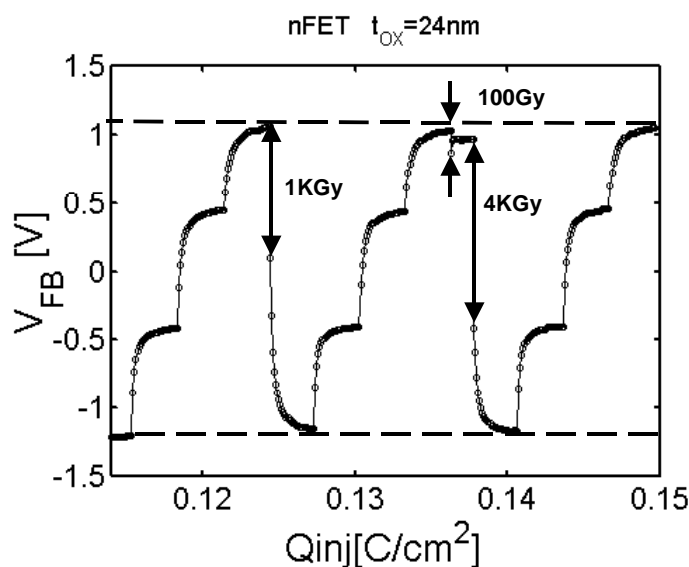
Para estudiar la creación de trampas debida a la radiación se alternaron las series de inyección, anteriormente descritas, con pulsos de radiación gamma creciente con la dosis acumulada. La Fig.3.27 muestra un resultado de tales mediciones.

Se observa un corrimiento general, a bajas densidades (hasta  $7 \times 10^{-8} \text{Coul/cm}^2$ ), y saturación, entorno a  $0.1 \text{Coul/cm}^2$  de los niveles estacionarios  $V_{FB}$ . Si se compara el valor de  $V_{FB}$  antes y después del ciclo de inyección se ve que el corrimiento general de la curva hacia arriba se debe a estos ciclos de inyección y no a los de irradiación. Este comportamiento es similar a lo mostrado por otros trabajos [69-71], y estaría asociado con la generación de estados de interfaz, cuya saturación ocurre cerca de  $0.1 \text{Coul/cm}^2$ .

La dependencia funcional de  $V_{FB}$  en función de  $Q_{inj}$  (en cada sub-serie o segmento de inyección), y la invariancia relativa de los niveles estacionarios se mantienen sin modificaciones durante la experiencia. Considerando que la diferencia de valores entre niveles estacionarios de  $V_{FB}$ , según la expresión 3.10, es proporcional a la densidad de trampas  $N$  en el volumen del  $SiO_2$ , se puede concluir que la densidad de trampas no varía con la dosis acumulada. Además la Fig.3.27 muestra que luego de cada pulso de irradiación no se observan cambios significativos de los niveles estacionarios.



**FIGURA 3.27:** Tensión de Flat-Band  $V_{FB}$  en función de la carga inyectada Alternando series de inyección (similares a la de Fig.3.26) con pulsos de irradiación gamma ( $Co^{60}$ ).



**FIGURA 3.28:** Tensión de Flat-Band  $V_{FB}$  en función de la carga inyectada Alternando series de inyección ( $J_{inj} = 5 \times 10^{-3}, 1 \times 10^{-3}, 1 \times 10^{-4}$  y  $1 \times 10^{-5}$  A/cm<sup>2</sup>) con pulsos de irradiación gamma ( $Co^{60}$ ).

Para poner en evidencia el rol de las irradiaciones en dispositivos previamente inyectados, se realizaron mediciones con series de inyección no simétricas a campos más bajos, generando un corrimiento significativo de  $V_{FB}$  antes de cada pulso de irradiación.

La Fig.3.28 muestra los resultados de la evolución de  $V_{FB}$  en un dispositivo pre-inyectado en régimen de saturación ( $Q_{inj} > 0.1 \text{ Coul/cm}^2$ ). Se tienen distintas series de inyección luego de pulsos de irradiación gamma.

Inicialmente la serie de inyección de tres niveles de corriente diferente ( $J_{inj} = 1 \times 10^{-3}$ ;  $1 \times 10^{-4}$  y  $1 \times 10^{-5} \text{ A/cm}^2$ ) genera un corrimiento en  $V_{FB}$  de  $\approx 2.5 \text{ V}$  en valor absoluto. Luego se somete al dispositivo a un pulso de irradiación de  $1000 \text{ Gy}$  ( $\text{SiO}_2$ ) y se observa una disminución de  $\approx 0.75 \text{ V}$ .

Se repite la experiencia, esto es, se aplica la misma serie de inyección y luego se irradia pero con  $100 \text{ Gy}$  ( $\text{SiO}_2$ ), y se encuentra un corrimiento menor de  $V_{FB}$  ( $\approx 0.2 \text{ V}$ ). Se aplica el nivel de corriente final ( $1 \times 10^{-5} \text{ A/cm}^2$ ) y se recupera el nivel estacionario.

En la última etapa, se repite la experiencia con una dosis acumulada superior  $4000 \text{ Gy}$  ( $\text{SiO}_2$ ) donde, debido a la interacción con la radiación el  $V_{FB}$ , disminuye cerca de  $1.5 \text{ V}$ . Nuevamente, se aplica la serie de inyección y se reproducen los valores de los niveles estacionarios. Es decir, lo que se obtiene son corrimientos de  $V_{FB}$  crecientes con la dosis aplicada, pero que no modifican absolutamente el posterior ciclo de inyección mostrando, otra vez, que si bien la irradiación altera la población de las trampas no modifica su cantidad.

### **Resumen del Capítulo 3**

El propósito de este capítulo fue el estudio de los efectos de la radiación en dispositivos MOS y su comparación con la degradación eléctrica.

En la primera parte se mencionó brevemente la interacción de los fotones gamma con la materia y los distintos procesos en la creación de carga y estados. Particularmente, se hizo mención a la generación de pares electrón-hueco en el  $\text{SiO}_2$ , el transporte de los huecos hacia la interfaz cátodo- $\text{SiO}_2$ , el atrapamiento de carga y finalmente la creación de estados de interfaz.

En la segunda parte se mostraron los resultados experimentales. Se realizaron diversas experiencias de irradiación en transistores n- y pMOS de varios espesores de óxido ( $4.5$  a  $100 \text{ nm}$ ), y a partir del análisis de estas mediciones se pudo mostrar que:

(i) En los experimentos analizados se obtuvo que, por cada carga positiva se crea un estado aceptor debido a la ausencia de corrimientos en el flanco derecho de las curvas C-V de dispositivos irradiados. Estos resultados se compararon con los obtenidos mediante la hipótesis de neutralidad y se concluyó que si bien la técnica es útil para realizar comparaciones relativas, no "ve" información importante para aclarar sobre el origen físico de los defectos como la igualdad de cargas y estados en el caso particular que se analizó en este trabajo.

(ii) Para las muestras delgadas utilizadas en este trabajo, la técnica de diodo controlado por puerta GCD resultó ser más sensible que los métodos estándar para estudiar los efectos de la radiación gamma a bajas dosis. Además, permitió evaluar la carga atrapada y los estados de interfaz, en dispositivos degradados por radiación y campo eléctrico de manera simple y directa.

(iii) Es posible asumir mecanismos en común en la creación de estados de interfaz para degradación por radiación y por inyección de portadores energéticos. A partir de la comparación de los estados de interfaz debido a ambos mecanismos de degradación, la recombinación y captura de electrones parecen ser los mecanismos dominantes en los experimentos analizados.

(vi) En experimentos combinados de radiación e inyección se verificó que la radiación modifica la población de portadores atrapados pero no el número de trampas existentes en el óxido.

Los resultados de este capítulo fueron publicados en las siguientes conferencias y revistas:

"Interface States and Positive Charge in Irradiated MOS. A contribution to the interpretation of voltage shift measurements".

Adrian N. Faigon, **Felix Palumbo**, Rina Lombardi, and Eduardo G. Redin.

Enviado a European Physical Journal Applied Physics (2004).

"Radiation and Injection effects on MOS devices using the gate controlled diode technique"

**Felix Palumbo**, Adrian N. Faigon, and Francesca Campabadal.

Journal of Applied Physics, Volume 93, Issue 12, 7591-7596, (2004).

“Carga Positiva y Estados de Interfaz en Estructuras MOS irradiadas gamma”  
R. Lombardi, **F. Palumbo**, G.Redin, D.Rus and A.Faigon  
AFA ( Asociación Física Argentina ), Vol. 12, (2000).

### Conferencias:

“Análisis de corriente de sustrato en transistores MOS en configuración de diodo controlado”  
**Palumbo F**, Faigon A, and Rus D  
87<sup>a</sup> Reunión Anual de la AFA (Asociación Física Argentina), Septiembre 2002, Córdoba, Argentina.

“Sensor dosimétrico MOS de radiación gamma borrable eléctricamente”  
Redin EG, **Palumbo F**, and Faigón A  
87<sup>a</sup> Reunión Anual de la AFA (Asociación Física Argentina), Septiembre 2002, Córdoba, Argentina.

“Positive charge and interface states in gamma irradiated MOS transistors”.  
Faigon, **F. Palumbo**, R. Lombardi and G. Redin.  
RADECS 2001, 6<sup>th</sup> European Conference on Radiation and Its Effects on Components and Systems. September 10 – 14, 2001. Grenoble. France.

“Generación y Recombinación de Portadores en Transistores MOSFET Irradiados con Co<sup>60</sup>”  
**F. Palumbo**, R. Lombardi, G.Redin and A.Faigon  
VIII Younger Researcher Meeting of Montevideo Group ( AUGM ).  
Universidad Federal de San Carlos, Septiembre 2000, San Carlos, Brazil.

“Efectos de la Radiación sobre la Generación Superficial en Gate Controlled Diodes de Silicio”  
**F. Palumbo**, R. Lombardi, G.Redin and A.Faigon  
85<sup>a</sup> Reunión Anual de la AFA (Asociación Física Argentina), Septiembre 2000, Buenos Aires, Argentina.

“Measurements of radiation using gate controlled diodes”.  
**F. Palumbo**, R. Lombardi, G.Redin, and A.Faigon  
IberSensor 2000, 2<sup>nd</sup> Iberoamerican conference on sensors, 6-8 Noviembre 2000, Buenos Aires, Argentina.

### Referencias del Capítulo 3

- [1] T. P. Ma and P. V. Dressendorfer, *Ionizing Radiation Effects in MOS Devices and Circuits*. New York: Wiley-Interscience, 1989.
- [2] T. R. Oldham, "Total Ionizing Dose Effects in MOS Oxides and Devices", *IEEE Trans. Nucl. Sci.*, 50(3), 2003.
- [3] S. M. Sze, "*Physics of Semiconductor Devices*", John Wiley & Sons, 1981.
- [4] E. Gover, IEEE ANNUAL CONFERENCE ON NUCLEAR AND SPACE RADIATION EFFECTS, July 20—24, 1981.
- [5] K. Gill, G. Hall and B. MacEvoy, "Bulk damage effects in irradiated silicon detectors due to clustered divacancies", *J. Appl. Phys.*, 82(1), 126-136, (1997).
- [6] R. C. Hughes, "Charge carrier transport phenomena in amorphous SiO<sub>2</sub> : Direct measurement of mobility and carrier lifetime," *Phys. Rev. Lett.*, vol. 30, p. 1333, 1973.
- [7] L. Onsager, "Initial recombination of ions," *Phys. Rev.*, vol. 54, p. 554, 1938.
- [8] T. R. Oldham and J. M. McGarrity, "Comparison of Co and 10 keV X-ray response in MOS capacitors," *IEEE Trans. Nucl.Sci.*, vol. NS-30, p. 4377, 1983.
- [9] G. Pfister and H. Scher, "Dispersive (non-Gaussian) transient transport in disordered solids," *Adv. Phys.*, vol. 27, p. 747, 1978.
- [10] I. G. Austin and N. F. Mott, "Polarons in crystalline and noncrystalline materials," *Adv. Phys.*, vol. 18, p. 41, 1969.
- [11] D. Emin, "Phonon-assisted transition rates I-optical-phonon-assisted hopping in solids," *Adv. Phys.*, vol. 24, p. 305, 1975.
- [12] C.R. Heims and E.H. Poindexter, "the silicon-silicon-dioxide system", *Rep.Prog.Phys.* 57, 791-852, (1994).
- [13] V. Lakshmana and A. S. Vengurlekar, "Logarithmic detrapping response for holes injected into SiO and the influence of thermal activation and electric fields," *J. Appl. Phys.*, vol. 63, p. 4548, 1988.
- [14] D. M. Fleetwood, P. S. Winokur, R. A. Reber, T. L. Meisenheimer, J. R. Schwank, M. R. Shaneyfelt, and J. R. Schwank, "Effects of oxide traps, interface traps, and border traps on MOS devices," *J. Appl. Phys.*, vol. 73, p. 5058, 1993.
- [15] D. M. Fleetwood, "Revised model of thermally stimulated current in MOS capacitors," *IEEE Trans. Nucl. Sci.*, vol. 44, p. 1826, 1997.



- [16] J. R. Schwank, P. S. Winokur, P. J. McWhorter, F. W. Sexton, P. V. Dressendorfer, and D. C. Turpin, "Physical mechanisms contributing to device "Rebound," *IEEE Trans. Nucl. Sci.*, vol. NS-31, p. 1434, 1984.
- [17] A. J. Lelis, H. E. Boesch, Jr., T. R. Oldham, and F. B. McLean, "Reversibility of trapped hole annealing," *IEEE Trans. Nucl. Sci.*, vol. 35, p. 1186, 1988.
- [18] A. J. Lelis, T. R. Oldham, H. E. Boesch, Jr., and F. B. McLean, "The nature of the trapped hole annealing process," *IEEE Trans. Nucl. Sci.*, vol. 36, p. 1808, 1989.
- [19] A. J. Lelis and T. R. Oldham, "Time dependence of switching oxide traps," *IEEE Trans. Nucl. Sci.*, vol. 41, p. 1835, 1994.
- [20] M. Walters and A. Reisman, "Radiation-induced neutral electron trap generation in electrically biased insulated gate field effect transistor gate insulators," *J. Electrochem. Soc.*, vol. 138, p. 2756, 1991.
- [21] P.M. Lenahan and P.V. Dressendorfer, "An electron spin resonance study of radiation-induced electrically active paramagnetic centers at Si/SiO<sub>2</sub> interface", *J.Appl.Phys.* **54**, 1457 (1983).
- [22] P.M. Lenahan and P.V. Dressendorfer, "Hole traps and trivalent silicon centers in MOS", *J.Appl.Phys.* **55**, 3495 (1984).
- [23] T. Takahashi, BB Triplet, K. Yokogawa, and T. Sugano, "Electron spin resonance observation of the creation, annihilation, and charge state of the 74G Doublet in device oxidized damaged by X rays", *Appl.Phys.Lett.* 26, 1334, (1987).
- [24] R.L.Vranch, B.Henderson, and M.Pepper, "Spin Dependent Recombination in Irradiated Si/SiO<sub>2</sub> Device structures", *Appl.Phys.Lett.* 52, 1161, (1988).
- [25] P.M.Lenahan, N.A.Bohna, and J.P.Campbel, "Radiation-Induced Interface Traps in MOS Devices: Capture Cross Section and Density of States of Pb1 Silicon Dangling Bond Centers", *IEEE Trans. Nucl. Sci.* 49(6), 2708, 2002.
- [26] P.M. Lenahan and J.F. Conley. *IEEE. Trans.Nucl.Sci.* **45(6)**, 2413 (1998).
- [27] S. Wolf, "*Silicon processing for VLSI Era*".Vol.3 The Submicron MOSFET, Lattice Press, 1992.
- [28] M. R. Shaneyfelt, J. R. Schwank, D. M. Fleetwood, P. S. Winokur, K. L. Hughes, G. L. Hash and M. P. Connors, "Interface-Trap Buildup Rates in Wet and Dry Oxides", *IEEE Trans. Nucl. Sci.*, vol. 39, no. 6, December 1992, pp. 2244-2251.
- [29] F. J. Grunthaner, B. F. Lewis, N. Z. amd, and J. Maserjian, "XPS studies of structure-induced radiation defects at the Si/SiO interface," *IEEE Trans. Nucl. Sci.*, vol. NS-27, p. 1640, 1980.
- [30] F. J. Grunthaner, P. J. Grunthaner, and J. Maserjian, "Radiation-induced defects in SiO<sub>2</sub> as determined with XPS," *IEEE Trans. Nucl. Sci.*, vol. NS-29, p. 1462, 1982.

- [31] S. K. Lai, "Interface trap generation in silicon dioxide when electrons are captured by trapped holes," *J. Appl. Phys.*, vol. 54, p. 2540, 1983.
- [32] S. J. Wang, J. M. Sung, and S. A. Lyon, "Relation between hole trapping and interface state generation in metal-oxide-silicon structures," *Appl. Phys. Lett.*, vol. 52, p. 1431, 1988.
- [33] D. M. Fleetwood, W. L. Warren, J. R. Schwank, P. S. Winokur, M. R. Shaneyfelt, and L. C. Riewe, "Effects of interfacial traps and border traps on MOS post-irradiation annealing response," *IEEE Trans. Nucl. Sci.*, vol. 42, p. 1698, 1995.
- [34] P. J. McWhorter and P. S. Winokur, *Appl. Phys. Lett.* 48(2), 133, (1986).
- [35] S. R. Anderson, R. D. Schrimpf, K. F. Galloway, and J. L. Titus, "Exploration of heavy ion irradiation effects on gate oxides reliability," *Microelectron. Reliab.*, vol. 35, pp. 603–608, 1995.
- [36] T. Brozek, R. Wisniewski, R. B. Beck, and A. Jakubowski, "Effect of radiation on breakdown of electrically pre-degraded oxides in MOS structures," *Microelectron. Eng.*, vol. 28, pp. 349–352, 1995.
- [37] S. Kim, H. Lee, C. Han, K. Lee, S. Choi, Y. Jeon, E. D. Fabrizio, and M. Gentili, "The effects of X-ray irradiation induced damage on reliability in MOS structures," *Solid-State Electron.*, vol. 38, pp. 95–99, 1995.
- [38] A. Paccagnella, A. Candelori, A. Milani, E. Formigoni, G. Ghidini, F. Pellizzer, D. Drea, P. G. Fuochi, and M. Lavale, "Breakdown properties of irradiated MOS capacitors," *IEEE Trans. Nucl. Sci.*, vol. 43, pp. 2609–2616, Dec. 1996.
- [39] A. Scarpa, A. Paccagnella, F. Montera, G. Ghibauda, G. Pananakakis, G. Ghidini, and P. G. Fuochi, "Ionizing radiation induced leakage current on ultra-thin gate oxides," *IEEE Trans. Nucl. Sci.*, vol. 44, pp. 1818–01 825, Dec. 1997.
- [40] M. Ceschia, A. Paccagnella, A. Cester, A. Scarpa, and G. Ghidini, "Radiation induced leakage current and stress induced leakage current in ultra-thin gate oxides," *IEEE Trans. Nucl. Sci.*, vol. 45, pp. 2375–2382, Dec. 1998.
- [41] M. Ceschia, A. Paccagnella, A. Scarpa, G. Ghidini, and A. Cester, "Total dose dependence of radiation induced leakage current in ultra-thin gate oxides," *Microelectron. Reliab.*, vol. 39, pp. 221–226, 1999.
- [42] C. Becker, C. Gobling, C. Lichau, T. Wubben, J. Wustenfeld and R. Wunstorf, *Nucl. Instr. Meth. A* 444, 605 (2000).
- [43] G. P. Summers, E. A. Burke and R. J. Walters, *IEEE Trans. Nucl. Sci.* 40(6), 1372 (1993).
- [44] P. J. McWhorter and P. S. Winokur, *Appl. Phys. Lett.* 48(2), 133, (1986).

- [45] Kassmi K., Maimouni and Sarrabayrouse. Eur. Phys. J. AP 8, 171 (1999).
- [46] M.R Shaneyfelt, J.R. Schwank, D.M. Fleetwood, P.S. Winokur, K.L. Hughes, F.W. Sexton, IEEE. Trans.Nucl.Sci. **37(6)**, 1632 (1990).
- [47] L. Terman, Solid St. Electronics, 5, 285 (1962).
- [48] D.J. DiMaria, D.A. Buchanan, J.H. Stathis, and R.E. Stahlbush, "Interface states induced by the presence of thapped holes near the silicon-silicon-dioxide interface", J. Appl.Phys. 77(5), 2032 (1995).
- [49] G.J. Hu and W.C. Johnson, J. Appl. Phys. 54, 1441 (1983).
- [50] F. Palumbo, A. Faigon and F. Campabadal, J. Appl. Phys., 96(11), (2004).
- [51] D.J.DiMaria, E. Cartier, and D. Arnold, J.Appl.Phys. 73(7), 3367 (1993).
- [52] D.J.DiMaria and J.W.Stasiak, J.Appl.Phys. 65(6), 2342 (1989).
- [53] D.J.DiMaria, E.Cartier and D.A. Buchanan, J.Appl.Phys. 80(1), 304 (1996).
- [54] J. F. Zhang, S. Taylor, and W. Eccleston, J .Appl.Phys. 71(2), 725 (1992).
- [55] D. B. Brown and N. S. Saks, J.Appl.Phys. 70(7), 3734 (1991).
- [56] D. M. Fleetwood, "Fast and slow border traps in MOS devices," *IEEE Trans. Nucl. Sci.*, vol. 43, p. 779, 1996.
- [57] I. S. Al-kofahi, J. F. Zhang, and G. Groeseneken, J.Appl.Phys. 81(6), 2686 (1997).
- [58] Jerry Yue, Eddy Lo, and Mike Flanery," Total Dose Radiation Response of Plasma-Damaged NMOS Devices", IEEE ELECTRON DEVICE LETTERS, VOL. 18, NO. 11, 532, NOVEMBER 1997
- [59] D.M.Fleetwood, P.S. Winokur, R.C. Riewe, O. Flament, P. Paillet, J.L. Leray, IEEE ELECTRON DEVICE LETTERS, VOL. 46, NO. 6, 1519, NOVEMBER 1999
- [60] Kuei-Shu, Chang-Liao, and Jenn-Gwo Hwo, , IEEE ELECTRON DEVICE, VOL. 41, NO. 4, 612, NOVEMBER 1994
- [61] W. D. Zhang, J. F. Zhang, M. J. Uren, G. Groeseneken, R. Degraeve, M. Lalor and D.Burton,"On the interface states generated under different stress conditions", Appl.Phys.Lett. 79(19), 3292, (2001).
- [62] G.P.Summers, E.A. Burke and R.J. Walters, IEEE. Trans.Nucl.Sci. 40(6), 1372 (1993).
- [63] D.J. DiMaria, Appl. Phys. Lett. 75(16), 2427 (1999).

- [64] M.Nafria, J. Suñe and X. Aymerich, *Microelectron. Reliab.* 36(7/8), 871 (1996).
- [65] P. Winokur, H.E. Boesch, J.M. McGarrity, and F.B. McLean, *J.Appl.Phys.* 50(5), 3492 (1979).
- [66] F.B. McLean, *IEEE Trans. Nucl. Sci.* **27(6)**, 1651 (1980).
- [67] M.R Shaneyfelt, J.R. Schwank, D.M. Fleetwood, P.S. Winokur, K.L. Hughes, G.L. Hash, *IEEE. Trans.Nucl.Sci.* 37(6), 1632 (1990).
- [68] M.P. Connors, *IEEE. Trans.Nucl.Sci.* 39(6), 2244 (1992).
- [69] Y.Nissan-Cohen, J.Shappir, and D.Fronhman-Bentchkowsky," Dinamic model of trapping-detrapping in SiO<sub>2</sub>", *J. Appl. Phys.*, vol. 58 (6), p. 2252, 1985.
- [70] Y.Nissan-Cohen, J.Shappir, and D.Fronhman-Bentchkowsky," Trap generation and occupation dynamics in SiO<sub>2</sub> under charge injection stress", *J. Appl. Phys.*, vol. 60 (6), p. 2024, 1986.
- [71] Y.Nissan-Cohen, J.Shappir, and D.Fronhman-Bentchkowsky,"high field current induced-positive charge transients in SiO<sub>2</sub>", *J. Appl. Phys.*, vol. 54 (10), p. 5793, 1983.

---

# Capítulo 4

---

## **Influencia del Material de Ánodo en Aspectos de Fiabilidad**

El estudio de la degradación eléctrica en óxidos ultra delgados es uno de los temas más importantes de la física de dispositivos actual. Según los modelos físicos más aceptados, y más consistentes con las observaciones experimentales, el material de ánodo tiene un papel fundamental. Con lo cual, se esperaría que reemplazando el material de gate los parámetros que caracterizan la degradación y la ruptura deberían cambiar en condiciones donde el gate es el ánodo.

Por otro lado, con la disminución del tamaño de los dispositivos, nuevos materiales de gate se experimentan para mantener el rendimiento. En este capítulo, se muestran los resultados más importantes con relación a estos aspectos, considerando al poly-Si y al Tungsteno como materiales de gate.

Se estudiaron, con gran detalle y en un amplio rango de tensiones, los parámetros de degradación y la tasa de generación de defectos en relación al material de gate. Los resultados se interpretaron según los mecanismos de pérdida de energía de los portadores que atraviesan el óxido.

El capítulo está organizado de la siguiente manera. En la primera parte, se discuten brevemente los aspectos más importantes de la degradación en óxidos ultra-delgados.

Posteriormente, se muestran los resultados experimentales. Las mediciones de los parámetros de degradación tomando como referencia a los valores para dispositivos con poly-Si gate. Finalmente, se analizan aspectos estadísticos de los parámetros de degradación.

#### **4.1 Degradación en Óxidos Delgados**

La aplicación de tensión a una estructura MOS degrada las propiedades del óxido de gate aún en valores normales de funcionamiento. A estas tensiones los cambios en las características eléctricas son evidentes a largo plazo donde, dependiendo de la aplicación, se espera que los dispositivos comerciales aseguren un correcto funcionamiento durante al menos 10 años [1,2].

Como evidentemente, es imposible por razones prácticas y económicas, realizar experiencias de laboratorio de tan larga duración surge la necesidad de acelerar los mecanismos de ruptura. Esto se logra aumentando la temperatura y/o la tensión durante la degradación. Es aceptado que el tiempo necesario para llegar a la ruptura del SiO<sub>2</sub> (denominado T<sub>BD</sub> "time-to-breakdown") se reduce con el aumento de la tensión aplicada [3,4], y que los mecanismos de degradación son térmicamente activados [5-7].

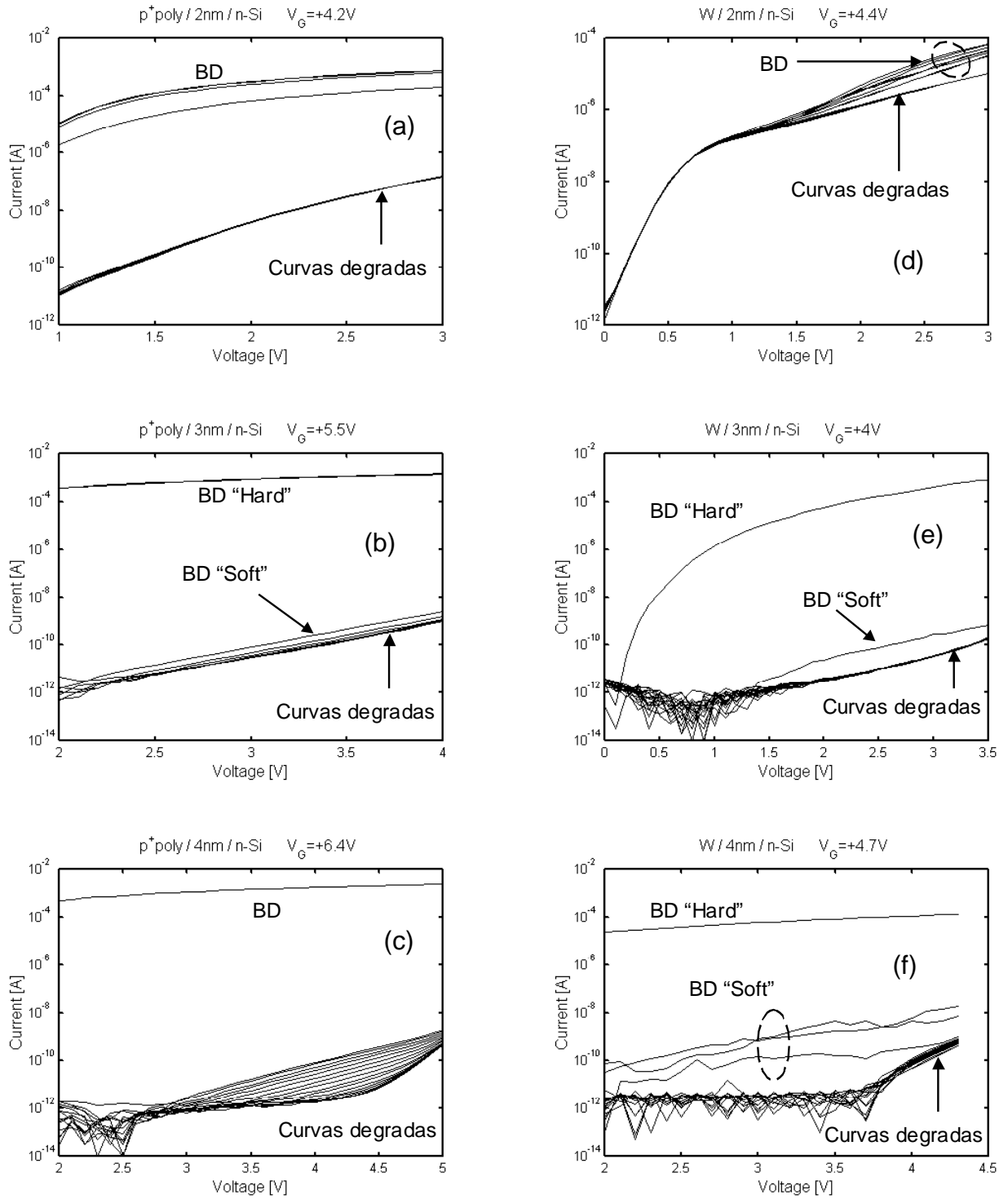
En este contexto, se estudió el efecto del material de gate en la creación de defectos y en los parámetros de ruptura. Estos últimos son, la carga acumulada y la densidad de defectos hasta la ruptura, Q<sub>BD</sub> y N<sub>BD</sub> respectivamente, y la tasa de generación de defectos P<sub>gen</sub>.

El Tungsteno (W) fue usado como material alternativo de gate y los resultados se interpretaron con relación al poly-Si, que es el material de gate ampliamente utilizado y reportado en la literatura [1,2]. En todos los casos, estas experiencias se realizaron a temperatura ambiente en condiciones aceleradas de degradación con V<sub>G</sub> alta.

Los experimentos consistieron en mediciones sistemáticas que alternan caracterización eléctrica (I-V y C-V) con pulsos de degradación (ej. tensión constante, o corriente constante), que permiten estudiar la evolución de los defectos en el óxido de gate y los parámetros de ruptura. Se supone que la interrupción periódica no afecta el tiempo de falla del dispositivo [8,9]

Los dispositivos utilizados, manufacturados por IBM Yorktown, fueron capacitores MOS de substrato tipo n-Si y p-Si con poly-Si y Tungsteno (W) como materiales de

gate; con lo cual de la combinación resulta:  $p^+$ poly / n-Si;  $n^+$ poly / p-Si; W / n-Si; W / p-Si con  $\text{SiO}_2$  para espesores de óxido de gate de 2, 3 y 4nm.



**FIGURA 4.1:** Sucesión de curvas corriente-tensión para dispositivos de distinto espesor de óxido y material de gate. (a)  $p^+$ poly/2nm/n-Si, (b)  $p^+$ poly/3nm/n-Si, (c)  $p^+$ poly/4nm/n-Si; (d) W/2nm/n-Si; (e) W/3nm/n-Si; y (f) W/4nm/n-Si. En las figuras se señalan dos tipos de ruptura (BD), “BD-Hard” y “BD-soft” en relación al nivel de corriente post-ruptura.

La Fig.4.1 muestra mediciones típicas de corriente–tensión (I-V), para capacitores de sustrato n-Si, luego de pulsos de tensión constante ( $V_G > 0$  en acumulación). En todos los casos, se observa durante la primera parte del experimento, una sucesión de curvas I-V muy similares entre si, con un aumento pequeño y gradual de la corriente. Esta similitud disminuye con el aumento espesor del óxido debido al aumento de la probabilidad de captura de carga.

A medida que la degradación progresa, eventualmente se produce la ruptura del óxido de gate (BD Breakdown) que se manifiesta como un aumento brusco de la corriente en las curvas I-V. En este tipo de experimentos es común la presencia de un estado de ruptura intermedio (soft BD) que evoluciona hacia niveles más altos y estables de corriente si se continua con los pulsos de degradación. Se mostró que este estado de ruptura es localizado y que posee el mismo origen físico que la ruptura a niveles altos de corriente [10].

Respecto al material de gate, encontramos que las curvas I-V en dispositivos con W muestran un comportamiento similar al poly-Si frente a la degradación eléctrica. Es decir, una degradación paulatina de las curvas I-V y ruptura.

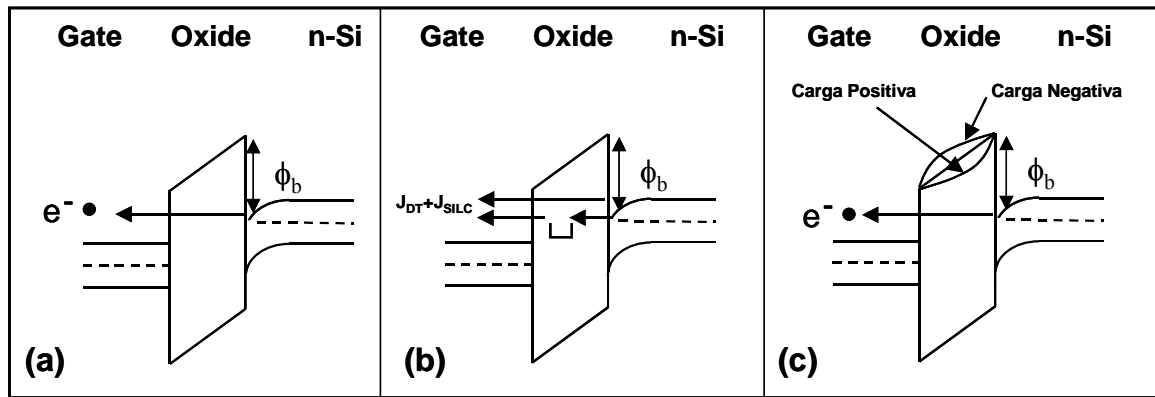
El incremento de las curvas I-V, llamado incremento SILC (Stress-Induced-Leakage-Current), se lo estudia mediante el cambio relativo de la corriente (expresión 4.1), y se lo asocia a la generación de trampas neutras de electrones en el óxido de gate [11-14]. Para cada curva I-V es posible calcular la densidad de corriente  $J$  [ $A/cm^2$ ] y el cambio relativo,

$$\frac{\Delta J}{J_0} = \frac{J - J_0}{J_0} \quad [4.1]$$

donde  $J_0$  es la densidad de corriente del dispositivo sin degradar.

Este exceso de corriente,  $\Delta J$ , es interpretado mediante túnel asistido por trampas neutras cercanas del ánodo [11-17]. La situación se representa en la Fig.4.2. Inicialmente, antes de aplicar cualquier mecanismo de degradación, la corriente se debe a túnel directo de electrones  $J_{TOTAL} = J_{DT}$  (Fig.4.2(a)). A medida que trampas son generadas por el paso de la corriente, se asume que existe una probabilidad adicional de conducción túnel asistido por estas trampas Fig.4.2(b), siendo la corriente total suma de ambas contribuciones  $J_{TOTAL} = J_{DT} + J_{SILC}$ .





**FIGURA 4.2:** Esquema de diagrama de bandas de un capacitor MOS. (a) túnel directo de electrones. (b) modelo de túnel asistido por trampas. (c) variación de la barrera de potencial debida a la acumulación de carga en el SiO<sub>2</sub>.

En óxidos más gruesos (donde existe probabilidad de captura de carga) la situación es un poco distinta. Además de la conducción mediante túnel asistido, se tiene un aumento de la corriente debido a la deformación de la barrera de potencial por la captura de cargas en el SiO<sub>2</sub> [14,18,19] (Fig.4.2(c)). Esto se observa en la Fig.4.1, donde es evidente que a medida que aumenta el espesor de óxido los corrimientos de las curvas I-V son mayores.

Existe variada colección de experimentos que reflejan la relación entre la presencia de  $\Delta J/J_0$  con la ruptura del SiO<sub>2</sub>, y que su magnitud depende de la energía de los portadores inyectados [11,12,14].

Como la creación de defectos involucra distintos tipos (centros generación-recombinación, trampas neutras de electrones y trampas cargadas positivamente) no es obvio, en principio, cual tipo o tipos de trampas son responsables del SILC. En algunos trabajos se mostró que las trampas neutras son las generadoras de  $J_{SILC}$ , y que se puede cuantificar sus efectos a partir de datos experimentales [12-14]. En particular, se encontró una relación lineal entre el SILC y la densidad de trampas del tipo  $\Delta J/J_0 / \Delta N_n \approx 8 \times 10^{-9} \text{ cm}^2$  [14].

La componente adicional,  $J_{SILC}$ , correctamente interpretada provee información importante sobre la densidad de trampas en el óxido. Los incrementos  $\Delta J/J_0$  no son absolutos y diversos parámetros se deben controlar para comparar los resultados entre dispositivos con gate de poly-Si y W. Al utilizar esta técnica asumimos que las

trampas involucradas en la conducción de la componente  $J_{\text{SILC}}$  son las responsables de la degradación [11-14] (o proporcionales a estas), y que el mecanismo de conducción es el de túnel directo DT.

Debido a la dependencia con el coeficiente de transmisión (ver expresión 2.2), el campo medio en el óxido,  $(V_G - V_{\text{FB}})/t_{\text{OX}}$ , y la altura de la barrera de potencial en la interfaz  $\text{SiO}_2\text{-Si}$ ,  $\phi_b$ , son los parámetros físicos que se deben mantener constante para que tenga sentido la comparación.

Por las diferencias entre la función trabajo del Si y del W (ver sección 1.4), la altura de la barrera de potencial solo se puede mantener constante cuando se inyectan portadores desde el substrato, donde en ambos casos la barrera viene dada por la interfaz  $\text{Si-SiO}_2$  (3.1eV). Respecto del campo medio, se calculó la tensión  $V_{\text{FB}}$  considerando el material de gate, y se utilizó una tensión  $V_G$  de lectura de  $\Delta J/J_0$  adecuada, tal que el campo medio,  $(V_G - V_{\text{FB}})/t_{\text{OX}}$ , se mantuviera constante. De esta forma, se calcularon los incrementos  $\Delta J/J_0$  comparables entre dispositivos con poly-Si y W gates.

## 4.2 Dinámica de Generación de Defectos

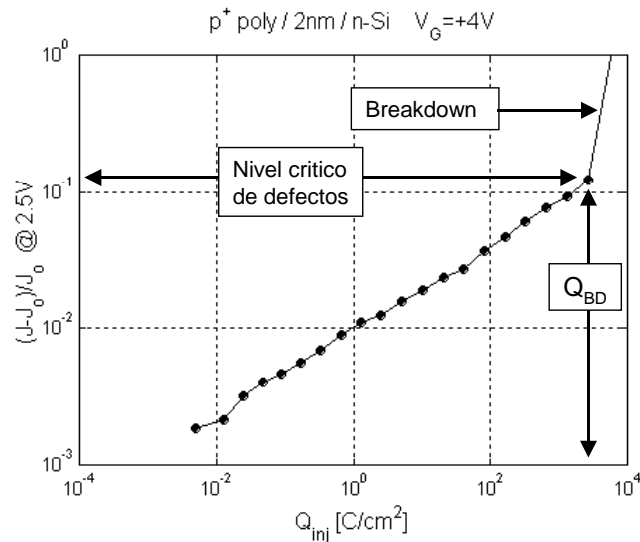
A partir del cálculo de  $\Delta J/J_0$  para ambos tipo de dispositivos (poly-Si y W gates), se estudió la dependencia de  $\Delta J/J_0$  en función de la carga inyectada  $Q_{\text{inj}}$ .

Las Figs.4.3 y 4.4 muestran los resultados obtenidos, para 2 y 4nm respectivamente con poly-Si como material de gate. Básicamente se observa, en coincidencia con trabajos previos [2,4,15,16,20], que a medida que la degradación procede, el incremento SILC (o el corrimiento  $\Delta V$  en el caso de óxidos relativamente gruesos) aumenta hasta alcanzar un nivel crítico donde ocurre la ruptura del dieléctrico.

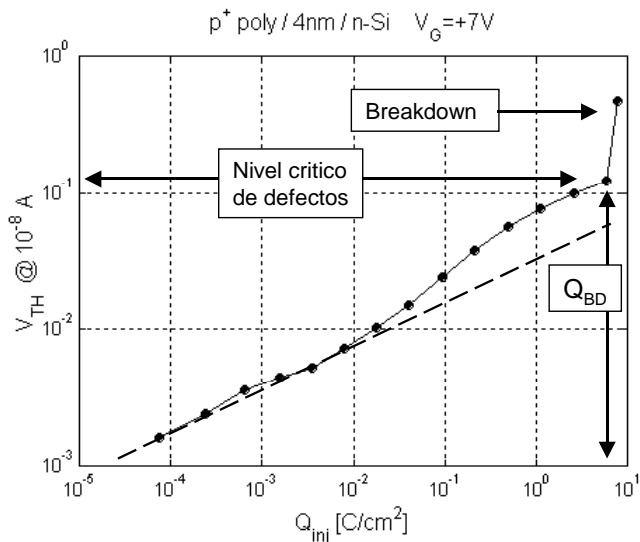
Como se discutió en la sección 4.1, en el caso de óxidos relativamente más gruesos, no es posible relacionar el incremento SILC a la creación de defectos debido a la captura de carga. En este caso, son los corrimientos en tensión los que cuantifican los defectos acumulados (ver sección 1.5). Por lo cual, en la Fig.4.3 se estudia la dependencia de los corrimientos en tensión  $\Delta V$  –para un nivel de corriente constante– en función de la carga inyectada  $Q_{\text{inj}}$ .

El incremento  $\Delta J/J_0$  (o  $\Delta V$  según corresponda) es proporcional a la densidad de defectos, con lo cual, el nivel de  $\Delta J/J_0$  en la ruptura está relacionado a una densidad crítica de defectos ( $\Delta J/J_0^{\text{BD}} \approx N_{\text{BD}}$ , donde  $N_{\text{BD}}$  es la densidad de defectos acumulados

hasta la ruptura). Por otro lado, la ruptura también se la puede asociar a un nivel crítico de densidad de carga acumulada, llamada  $Q_{BD}$ . Ambos parámetros son relevantes en la fiabilidad de los dispositivos, y serán estudiados en detalle en las secciones 4.3 y 4.4 respectivamente.



**FIGURA 4.3:** Incremento de  $\Delta J/J_0$ , calculada a  $V_G=+2.5V$ , en función de la carga inyectada para un dispositivo de 2nm de óxido de gate degradado a tensión constante de +4V.



**FIGURA 4.4:** Corrimiento en tensión de las curvas I-V a 10<sup>-8</sup>A en función de la carga inyectada para un dispositivo de 4nm de óxido de gate degradado a tensión constante de +7V.

Otro aspecto importante de las curvas  $\Delta J/J_0$  vs.  $Q_{inj}$  es la dependencia funcional. Conocer de qué manera  $\Delta J/J_0$  varía con la carga  $Q_{inj}$  a una tensión de gate  $V_G$  dada, permite evaluar la tasa de crecimiento de los defectos y extrapolar los resultados a menores valores de  $V_G$ . Es decir, conocer la dependencia funcional de  $\Delta J/J_0(Q_{inj})$  para un rango amplio de tensiones  $V_G$  permitiría asumir la dependencia a tensiones menores de  $V_G$ , más cercana a la tensión de funcionamiento del dispositivo.

En la Fig.4.3 encontramos que, en óxidos delgados, la densidad de defectos (que es proporcional a  $\Delta J/J_0$ ) es una función del tipo  $\Delta J/J_0 = \beta.(Q_{inj})^\alpha$ , es decir lineal en escala log-log, con lo cual  $\log(\Delta J/J_0) = \log(\beta) + \alpha.\log(Q_{inj})$ . Sin embargo, en un rango más amplio de  $Q_{inj}$  se observa una dependencia sigmoideal [2,4,20]. La Fig.4.4 es un ejemplo en este sentido. Debido al mayor espesor de óxido se puede inyectar una magnitud menor de carga en un tiempo razonable, con lo cual  $Q_{inj}$  parte desde  $10^{-4}C/cm^2$ , y la dependencia funcional muestra una región lineal entre dos porciones sub-lineales.

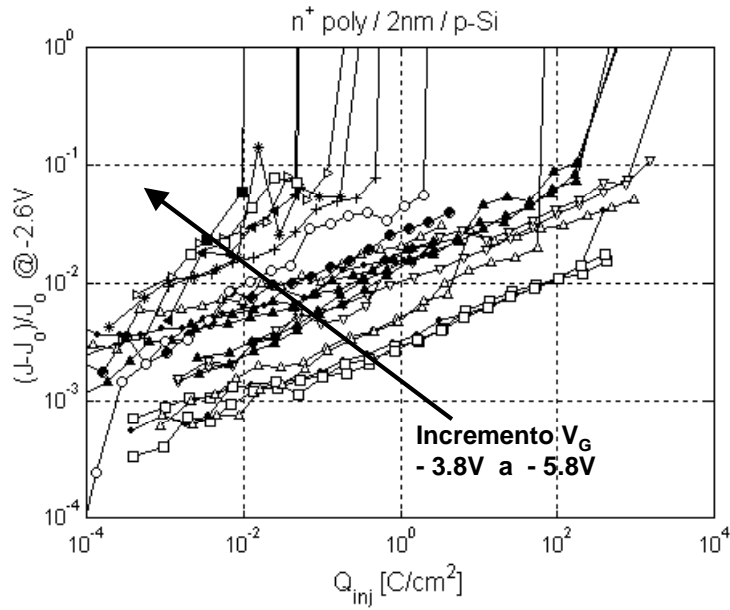
Para conocer la influencia del material de gate en la degradación se estudió la dinámica de creación de estados. En cada tipo de dispositivo se realizó un estudio sistemático que consistió en la medición de  $\Delta J/J_0$  en función de  $Q_{inj}$ , como se discutió en la sección anterior.

Los dispositivos fueron degradados mediante pulsos de tensión constante (sin limitación de corriente) en un amplio rango. En general, se usaron pulsos de duración variable entre de  $10^{-5}$  y  $10^{+3}$  seg., y en todos los casos se midió la corriente durante el pulso.

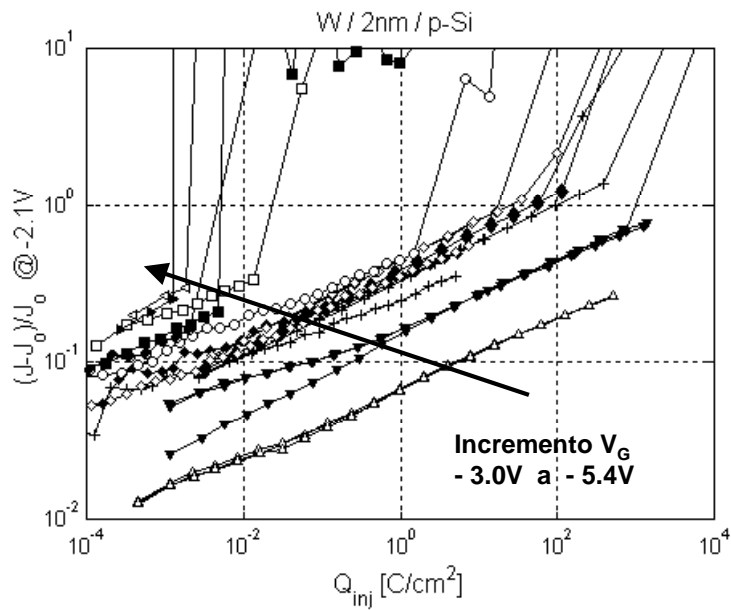
Para incrementar el rango de la tensión estudiada, fue necesario disminuir lo más posible la duración de los pulsos para evitar la ruptura prematura del óxido.

Mediante la amplificación de la corriente de sustrato y la adquisición de las mediciones con un osciloscopio digital se logró medir la corriente en pulsos del orden del micro-segundo, lo que permitió aplicar tensiones de hasta 13 V en óxidos de 4nm y 5.8V para 2nm.

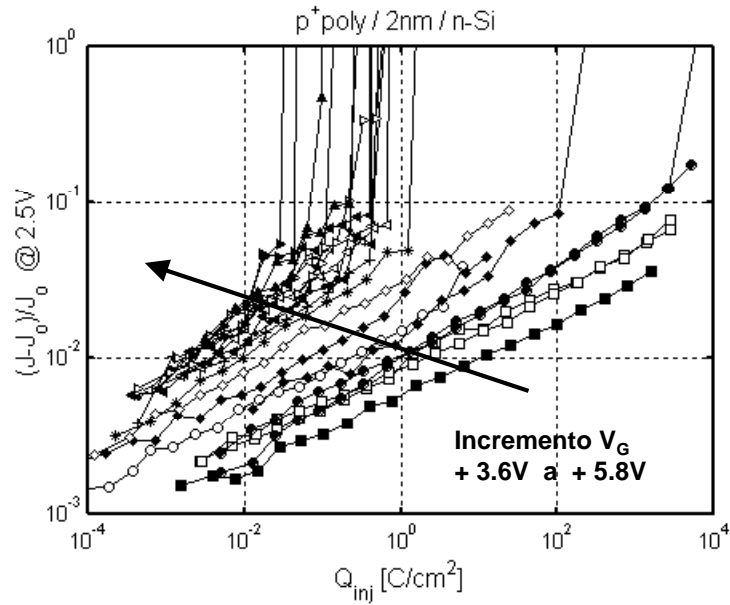
Las Figs.4.5; 4.6; 4.7 y 4.8 muestran los resultados para el caso de 2nm. Notar que se considera una tensión  $V_G$  apropiada para la lectura de  $\Delta J/J_0$ , tal que mantiene el campo medio  $(V_G - V_{FB})/t_{OX}$  constante.



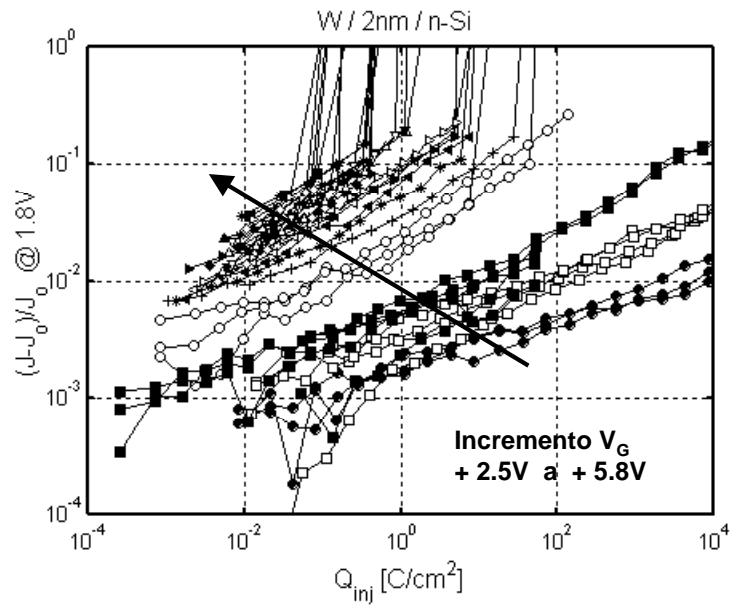
**FIGURA 4.5:** Incremento SILC en función de la densidad de carga inyectada para el caso de n+poly/2nm/p-Si mediante degradación a tensión constante en acumulación en el rango  $-3.8V$  a  $-5.8V$



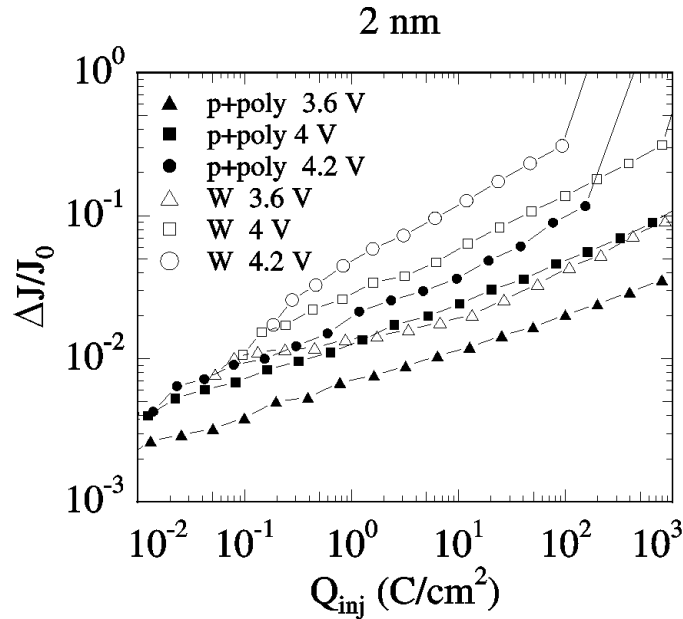
**FIGURA 4.6:** Incremento SILC en función de la densidad de carga inyectada para el caso de W/2nm/p-Si mediante degradación a tensión constante en acumulación en el rango  $-3.0V$  a  $-5.4V$



**FIGURA 4.7:** Incremento SILC en función de la densidad de carga inyectada para el caso de p+poly/2nm/n-Si mediante degradación a tensión constante en acumulación en el rango +3.6V a +5.8V



**FIGURA 4.8:** Incremento SILC en función de la densidad de carga inyectada para el caso de W/2nm/n-Si mediante degradación a tensión constante en acumulación en el rango +2.5V a +5.8V.



**FIGURA 4.9:** Incremento SILC en función de la carga inyectada para distintas tensiones de degradación y tipo de material de gate ( W y Poly-Si) con sustrato n-Si.

En general, se observa una dinámica de degradación independiente del material de gate, donde  $\Delta J/J_0$  aumenta con  $V_G$  y  $Q_{inj}$ . La dependencia funcional de  $\Delta J/J_0(Q_{inj})$  tiende a juntar las curvas en el origen, y a medida que aumenta  $Q_{inj}$  estas crecen y se separan hasta un nivel crítico, donde se produce la ruptura del dieléctrico. Además, si consideramos la región lineal, se tiene que la velocidad de crecimiento  $\Delta(\Delta J/J_0)/\Delta Q_{inj}$  aumenta con la tensión  $V_G$ .

En todos los casos vimos que los resultados son repetitivos, y particularmente para poly-Si gate estos coinciden con publicaciones recientes [2,4,21].

Para poner en evidencia fácilmente posibles diferencias se superpusieron las curvas como se muestra en la Fig.4.9, donde se compara la magnitud de  $\Delta J/J_0$  entre W y poly-Si para un amplio rango de tensiones de degradación, de 3.6V a 4.2V.

La característica más significativa es que el incremento de  $\Delta J/J_0$  es mayor para W gates, mientras que, las pendientes de  $\Delta J/J_0$  vs.  $Q_{inj}$  son similares.

### 4.3 Carga Inyectada hasta la Ruptura del Óxido de Puerta

Las características de ruptura del óxido de gate son frecuentemente descritas en términos de tiempo de ruptura  $T_{BD}$ , que es el tiempo necesario para arribar a la ruptura, o de la carga de ruptura  $Q_{BD}$ , que es la integral total de la corriente de túnel justo antes de la ruptura como se muestra en la siguiente expresión,

$$Q_{BD} = \int_0^{t_{BD}} J_G(t).dt \quad [4.2]$$

donde  $J_G(t)$  es la corriente de túnel correspondiente a  $V_G$ .

A pesar que ambos parámetros son utilizados, publicaciones recientes describen la ruptura del  $SiO_2$  solamente usando  $Q_{BD}$  [2,22,23]. Se toma esta tendencia debido a que es más fácil desarrollar modelos físicos que relacionen los mecanismos de degradación (como la corriente de huecos, atrapamiento de portadores, generación de trampas y estados) a la carga  $Q_{BD}$  que al  $T_{BD}$ . Por lo tanto, la mayor parte del análisis se centrara en la dinámica del  $Q_{BD}$ , y no discutiremos mucho más sobre el parámetro  $T_{BD}$  en este trabajo.

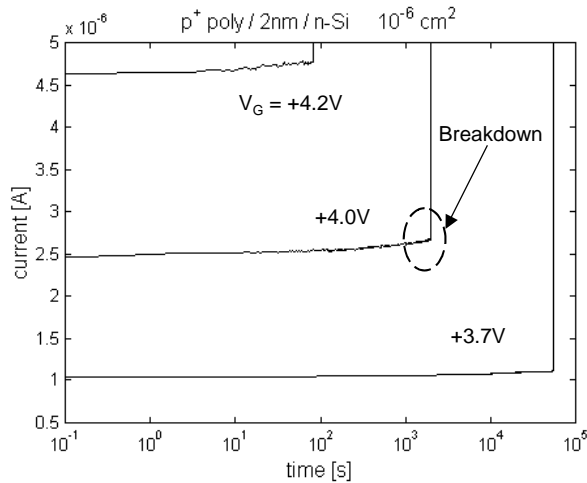
Al establecerse una corriente de túnel a través de la estructura MOS, la componente de electrones puede estar acompañada por otra de huecos. En este caso, la carga  $Q_{BD}$  es la suma de ambas contribuciones. Al utilizar solamente capacitores, no es posible separar ambas componentes, y únicamente puede ser medida la carga total.

Las Fig.4.10 y 4.11 muestran mediciones típicas, obtenidas en este trabajo, de corriente de gate  $I_G$  a tensión constante  $V_G$ , en función del tiempo. Se tiene que la corriente es estable hasta la ruptura del dieléctrico, a diferencia de óxidos gruesos donde debido al atrapamiento de carga la corriente varia significativamente.

Otro aspecto característico, es el aumento del tiempo necesario para llegar a la ruptura con pequeñas disminuciones de la tensión aplicada. Esto se debe a que la tasa de generación de defectos es proporcional a la densidad de corriente que circula por la estructura [2].

Varios trabajos mostraron que la ruptura del dieléctrico ocurre acompañada de aumento en el ruido en el nivel de corriente [24,25]. La Fig.4.11 muestra la corriente de gate y el ruido en función del tiempo para un nFET de 2nm usado en este trabajo. Notar que la magnitud el ruido aumenta significativamente cerca del evento de ruptura mientras la corriente se mantiene casi constante.

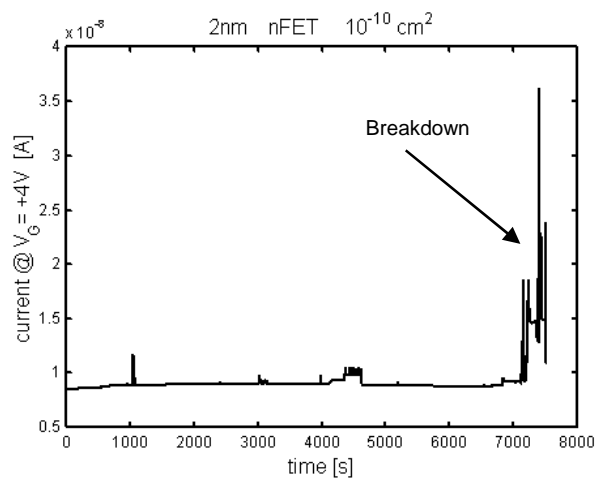




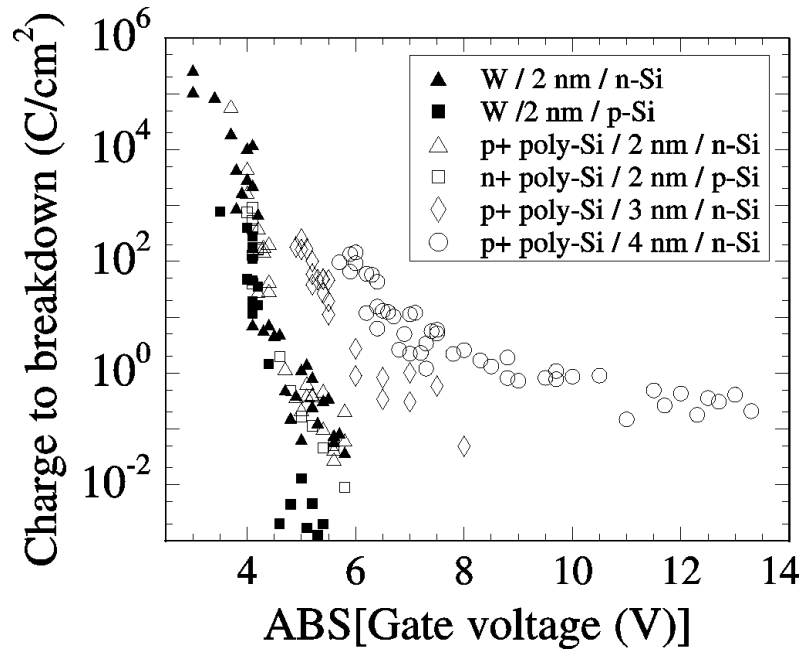
**FIGURA 4.10:** Mediciones de corriente en función del tiempo a tensión constante para un dispositivo  $p^+$ poly-Si/2nm/n-Si.

El parámetro  $Q_{BD}$ , además de evaluar la calidad del óxido de gate, permite interpretar los distintos mecanismos de degradación a través de su dependencia con  $V_G$ . Se mostró que  $Q_{BD}$  es fuertemente dependiente de la energía de los electrones inyectados [21,26,27] (i.e.  $V_G$ ), y que tal dependencia se puede explicar en función de modelos aceptados de degradación. La relación con la energía de los portadores fue explicada en experimentos de SHE (Substrate-Hole-Electron) donde se observó que la energía y no el campo medio en el  $SiO_2$  dominan la ruptura [3,27,28].

Debido al rol importante que tiene el ánodo en los modelos de degradación, la influencia del material de gate puede ser evaluada mediante comparación de curvas  $Q_{BD}$  vs.  $V_G$ . La Fig.4.12 muestra mediciones sistemáticas de  $Q_{BD}$  en función del valor absoluto de la tensión  $V_G$  en acumulación.



**FIGURA 4.11:** Medición de corriente en función del tiempo a tensión constante. Notar la presencia de ruido antes de la ruptura del óxido de gate.



**FIGURA 4.12:** Carga inyectada hasta la ruptura (“Breakdown” BD) en función del valor absoluto de la tensión de degradación.

El comportamiento general de los datos experimentales coincide con los publicados por otros autores [3,21,23,26,29]. Se observa que tanto  $Q_{BD}$  como la aceleración de la degradación (i.e.  $\Delta Q_{BD} / \Delta V_G$ ) aumentan al disminuir  $V_G$  y el espesor del óxido. Es posible que el argumento más significativo propuesto en la literatura para explicar el aumento de la aceleración de  $Q_{BD}$  a bajas tensiones es el cambio de la eficiencia del mecanismo de generación de pares [30-32]. Como se discutió en el capítulo 2, a partir del modelo de inyección de huecos desde el ánodo se propuso que la interacción de portadores minoritarios modificaría la eficiencia del mecanismo de degradación (sección 2.2.5).

La aceleración con la disminución de  $V_G$ , también fue explicada en términos de energía, ya que la energía requerida para la producción de defectos decrece dramáticamente a bajas tensiones [3].

Otro aspecto característico de la Fig.4.12 son los cambios de dinámica entorno a 5V y 7V.

En general, los resultados de  $Q_{BD}$  en capacitores con Poly-Si como material de gate son un punto de referencia importante para los dispositivos con distinto material de gate. En este sentido, se realizaron las mismas mediciones en capacitores de 2nm de

óxido con W como material de gate, y se los superpuso a los resultados anteriores (Fig.4.12). Básicamente, se observa una similitud con los datos del poly-Si y también un cambio de pendiente, cercano a 5V.

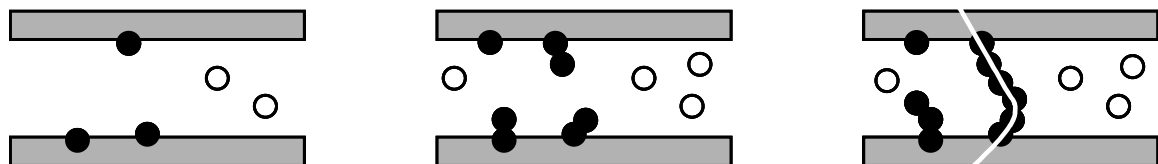
#### 4.4 Densidad de Defectos Críticos hasta la Ruptura

La idea de asociar el evento de ruptura con un nivel crítico de defectos,  $N_{BD}$ , y con la formación de un camino percolativo en el  $\text{SiO}_2$  es eje de la mayoría de los modelos de fiabilidad de óxidos. Se mostró que la ruptura ocurre, independiente del mecanismo de degradación, cuando la densidad de defectos llega a un valor crítico [33-35], y que la conducción a través de estos defectos es posible [35-37].

La aplicación de estos conceptos permitió desarrollar un modelo de ruptura [35] y conducción post-ruptura [38,39] que coincide con los datos experimentales y reproduce la estadística del evento de ruptura [36].

Según este modelo, la degradación inicial del dieléctrico es representada por la generación aleatoria de defectos en el volumen del  $\text{SiO}_2$ . La Fig.4.13(a) muestra el estado inicial de la degradación en un diagrama en corte del  $\text{SiO}_2$  donde los defectos son representados por esferas, y las interfaces como regiones llenas de defectos. A medida que la degradación procede se generan defectos (esferas) en el  $\text{SiO}_2$ . Si dos o más esferas se superponen, se interpreta que puede existir conducción entre ellas.

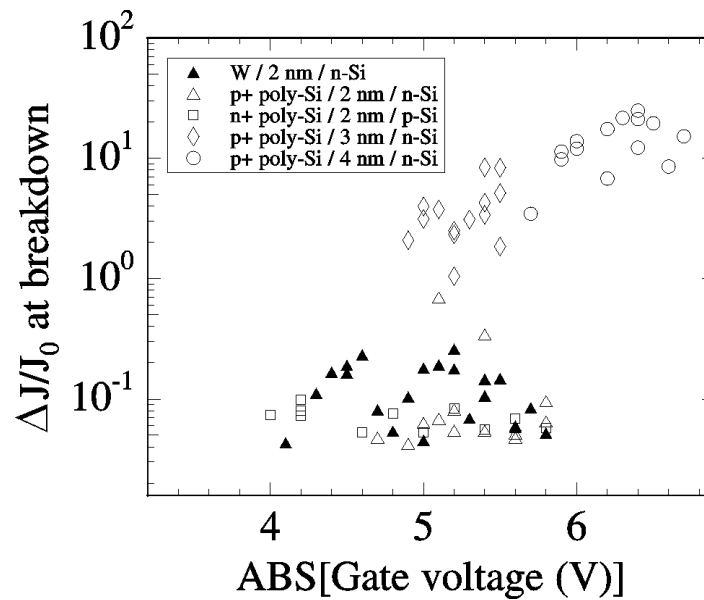
A medida que la densidad de defectos aumenta, el racimo se extiende hacia el volumen del dieléctrico (Fig.4.13(b)), hasta que para una densidad dada se conecta con la cara opuesta. En este esquema, la ruptura del dieléctrico ocurre cuando un camino de defectos (i.e. sucesión de esferas superpuestas) se forma entre el sustrato y el gate (Fig.4.13(c)).



**FIGURA 4.13:** Esquema del modelo percolativo de ruptura del  $\text{SiO}_2$ . (a) inicio de la degradación, (b) acumulación paulatina de defectos, y (c) formación del camino percolativo.

Este simple modelo, (independiente de la física de los mecanismos de generación de daños) explica los rasgos más importantes de la estadística de ruptura del SiO<sub>2</sub>. Como se puede inferir de la Fig.4.13, para una densidad dada de defectos, la formación de un camino percolativo es más probable para óxidos delgados. Consecuentemente, a medida que el espesor del óxido es menor, el camino percolativo se genera con una densidad de defectos menor que la necesaria en óxidos más gruesos.

Además, para la misma densidad de defectos y espesor de óxido, la probabilidad de tener un conjunto de defectos formando un camino conductivo aumenta para dispositivos de área más grande. Es decir, este simple modelo representa los aspectos principales de la ruptura: las dependencias con el área y con el espesor de óxido.



**FIGURA 4.14:** Incremento  $\Delta J/J_0^{BD}$  en función de la tensión de gate para distintos espesores y materiales de gate.

Para analizar este concepto con relación al material de gate se calculó el incremento SILC de ruptura, esto es, el incremento  $\Delta J/J_0$  justo antes del evento de ruptura.

La Fig.4.14 muestra los resultados de  $\Delta J/J_0^{BD}$  vs.  $V_G$  para ambos materiales de gate. Se observa que a medida que decrece el espesor de óxido también lo hace  $\Delta J/J_0^{BD}$ , como lo prevé el modelo percolativo.

En el caso de 2nm, se superponen los valores para W y Poly-Si gates, y se observa que son esencialmente iguales. Esto confirma dos resultados importantes: Primero, que la medición de SILC es una buena metodología para la evaluación de defectos en el dieléctrico de gate, aún para W gates, y por otro lado, que la ruptura ocurre cuando la concentración de defectos (i.e. el nivel de  $\Delta J/J_0$ ) supera un nivel crítico simplemente relacionado con el espesor del óxido, y no depende del material del ánodo.

#### 4.5 Tasa de Generación de Defectos

Independientemente de los mecanismos de degradación, es una observación experimental que la tasa de generación de defectos,  $P_{gen} = \Delta(\Delta J/J_0) / \Delta Q_{inj}$ , es inversamente proporcional a la carga  $Q_{BD}$  [40-44], donde la constante de proporcionalidad viene dada por  $N_{BD}$  [4,23,26,40],

$$Q_{BD} = \frac{q \cdot N_{BD}}{P_{gen}} \quad [4.3]$$

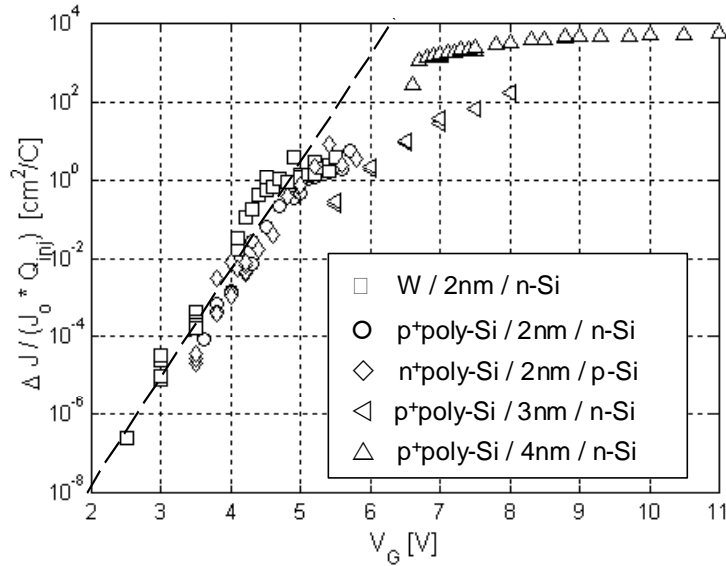
Como este modelo reproduce el comportamiento de  $Q_{BD}$  a través de la dependencia de  $P_{gen}$  con  $V_G$  [2,4,23,26,40], el cálculo de este parámetro resulta importante para la evaluación del W como material de gate, y para la determinación de similitudes y diferencias en los modos de degradación.

Si bien vimos en la sección 4.2 que la dinámica de  $\Delta J/J_0$  vs.  $\Delta Q_{inj}$  es similar para dispositivos con W y Poly-Si, esto no implica que la tasa de generación también lo sea. Los resultados de la Fig.4.9 muestran un aumento muy leve de la pendiente y de  $\Delta J/J_0$  para W gates respecto de las curvas de Poly-Si.

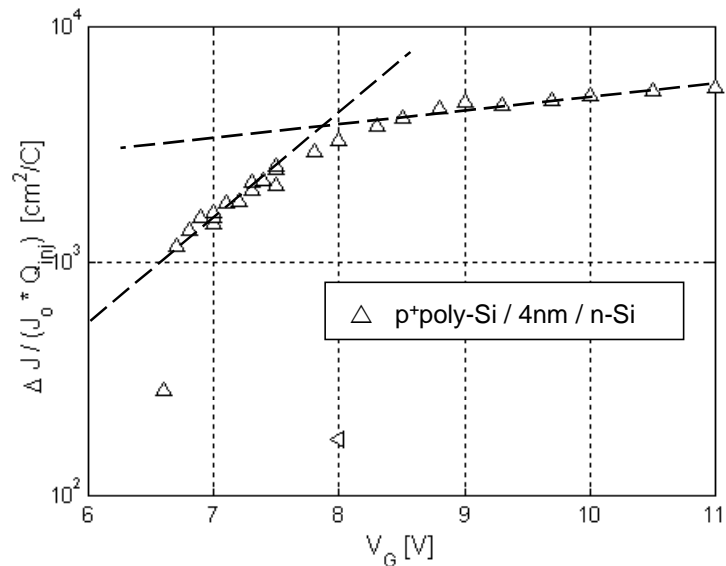
En esta sección nos proponemos estudiar la influencia del material de gate en la tasa de generación de defectos, llamada  $P_{gen}$ , considerando al poly-Si gate como referencia.

Basándose en la forma funcional de  $\Delta J/J_0$ , sigmoideal como se mostró en la sección 4.2, se calcula la pendiente de las curvas  $\Delta J/J_0$  vs.  $\Delta Q_{inj}$ , en la región lineal, previa a la saturación [2,14,15,45]. Analizando las curvas de la Figs.4.5, 4.6, 4.7 y 4.8 se encontró que en el caso de óxidos de 2 y 3 nm esta región se encuentra entorno a  $\Delta J/J_0 = 2.2 \times 10^{-2}$ , y para óxidos 4nm en  $\Delta V = 8 \times 10^{-1}$  V.

Trabajos recientes mostraron que, si se calcula la tasa de degradación en la región lineal cercana al BD, no se tiene una dependencia con  $V_G$  [20], con lo cual no se reproduce la dependencia funcional de  $Q_{BD}$  con la tensión  $V_G$ .



**FIGURA 4.15:** Tasa de degradación en función del valor absoluto de la tensión aplicada calculada a partir de las mediciones de las Figs. 4.5 , 4.6, 4.7 y 4.8. Se incluyen datos para dispositivos con W y Poly-Si como materiales de gate.



**FIGURA 4.16 :** Tasa de degradación en función de la tensión aplicada para dispositivos p<sup>+</sup>poly-Si/4nm/n-Si. Detalle de la Fig.4.15.

La Fig.4.15 muestra los resultados de  $P_{\text{gen}}$  en función  $V_G$ , para un amplio rango de tensiones (de 2V hasta 11V) abarcando en energía todos los mecanismos de degradación identificados en el capítulo 2.

Básicamente, se observa una fuerte dependencia inicial con  $V_G$ , independientemente del tipo de sustrato, polaridad, espesor de óxido y material de gate. A bajas tensiones  $V_G < 5V$ , se tiene un incremento de 8 (ocho) ordenes de magnitud entre 2.5V y 5.5 V con una pendiente de 3dec/V. Además, no se observa, a muy bajas tensiones, otro cambio en la dinámica de  $P_{\text{gen}}$  lo que indicaría que el modo de degradación es el mismo desde 0V a 5V. Por otro lado, es importante señalar que no existen cambios o discontinuidades en la transición de túnel en régimen FN al DT.

Además, a lo largo de la curva de  $P_{\text{gen}}$  vs.  $V_G$ , se tienen cambios notorios de pendiente, entorno a 5V (Fig.4.15) y 8V (Fig.4.16) que pueden interpretarse en términos de los modelos de degradación.

Como se discutió en el capítulo 2, diversos mecanismos físicos se encienden dependiendo de la energía de los portadores. A bajas energías (a partir de los 5V (i.e. 2eV respecto de la banda de conducción del  $\text{SiO}_2$ )), el proceso que domina la degradación es la liberación de hidrógeno (Hydrogen Release Model, ver sección 2.2.4), con lo cual el cambio de pendiente cercano a los 5V de  $P_{\text{gen}}$  (Fig.4.15) y de  $Q_{\text{BD}}$  (Fig.4.12) pueden deberse a la aparición de este mecanismo.

A energía un poco mayores (a partir de los ~8V (i.e. 5eV)), la creación de huecos en el ánodo, mediante la intervención de plasmones de superficie (Anode-Hole-Injection, ver sección 2.2.3), sería predominante en la degradación, y justificaría el cambio en la dependencia con  $V_G$  cercana a los 7-8V en  $P_{\text{gen}}$  (Fig.4.16) y en  $Q_{\text{BD}}$  (Fig.4.12).

Es decir, los datos de los dispositivos con Poly-Si como material de gate, se comportan según los trabajos publicados y se corresponden con los modelos propuestos de degradación, por lo cual resultan un punto de referencia importante para analizar los resultados en dispositivos con W como material de gate.

En los dispositivos con W se calculó de la misma manera el coeficiente  $P_{\text{gen}}$  a partir de las curvas de la Fig.4.6 y 4.8. Como se muestra en la Fig.4.9 los resultados son muy similares en todo el rango estudiado (2.5V – 5.5V).

## 4.6 Material de Gate

Según lo estudiado hasta el momento los dispositivos con poly-Si y Tungsteno (W) tienen una dinámica de ruptura similar.

En la primera parte de este capítulo (secciones 4.1 y 4.2) se mostró que para dispositivos n-Si (donde tiene sentido la comparación mediante SILC), el incremento de  $\Delta J/J_0$  en función de la carga inyectada  $Q_{inj}$  es similar (Fig.4.9).

Además, la tasa de generación de defectos,  $P_{gen}=\Delta(\Delta J/J_0)/\Delta Q_{inj}$ , calculada según se discutió en la sección 4.5, resultó similar a bajas tensiones con una fuerte dependencia con  $V_G$  de 3dec/V (Fig.4.15).

Por otro lado, la característica de ruptura representada por la carga inyectada hasta la ruptura  $Q_{BD}$  mostró similitudes para óxidos de 2nm en el rango de 2 a 6 V (Fig.4.12).

Si bien éstos resultados no son estadísticos, y sólo permiten resaltar cambios importantes, éste es un resultado llamativo, ya que se esperaría una dependencia mayor con el material de gate debido al rol del ánodo en los modelos propuestos para explicar la degradación del SiO<sub>2</sub>. Como se vio en el capítulo 2, los distintos modelos involucran la creación de huecos o especies hidrogenadas –según corresponda- en el ánodo y la posterior migración hacia el cátodo donde los estados de interfaz son formados. Es decir, respecto de la comprensión básica del fenómeno de ruptura, los modelos físicos más aceptados, y más consistente con las observaciones experimentales, le dan al material del ánodo un papel fundamental.

Desde el punto de vista tecnológico las similitudes entre el Tungsteno (W) y el poly-Si, considerando al SiO<sub>2</sub> como dieléctrico de gate, es muy promisorio. Los resultados expuestos aquí muestran que la inclusión de este nuevo material de gate permitiría contar con las propiedades del W sin modificar los parámetros de ruptura.

Para conocer el origen de estos resultados se compararon las energías necesarias para excitar plasmones de superficie en ambos tipos de dispositivos.

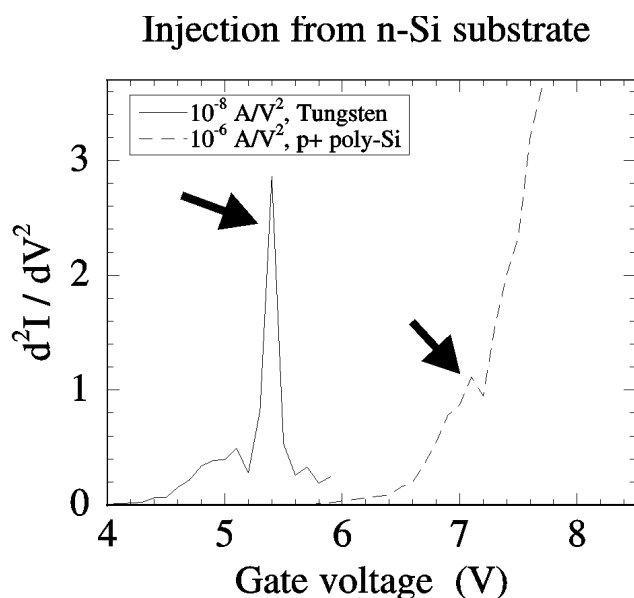
### Plasmones de Superficie

La generación de pares electrón-hueco mediante plasmones de superficie en la interfaz ánodo-SiO<sub>2</sub> es un mecanismo eficaz para explicar la degradación del sistema MOS. Además, se verificó que es posible su detección mediante el incremento de la conductancia (ver sección 2.2.3). La derivada segunda de las curvas características I-



V ( $dI^2/d^2V$ ) presentan un pico en valores de tensión que coincide con el calculo teórico (expresión 2.4).

Para conocer la influencia del material de gate se realizó el mismo tipo de análisis en el caso de W.



**FIGURA 4.17:** Derivada segunda de la corriente de gate para dispositivos con W gates y Poly-Si. Notar los picos marcados a 5.4 y 7.2V.

La Fig.4.17 muestra las derivadas segundas de las curvas I-V ( $dI^2/d^2V$ ) en función de la tensión de gate para ambos casos, poly-Si y W. Nuevamente, como en la Fig.2.11 son visibles picos en las curvas a 7.2V y 5.4V respectivamente.

Considerando la misma expresión utilizada para el calculo teórico del plasmon de superficie en Si-SiO<sub>2</sub> (expresión 2.4), se encontró que la energía necesaria para excitar un plasmon en la interfaz W-SiO<sub>2</sub> es de 4.5 eV, usando para la energía del plasmon de volumen 10.0eV [46]. Es decir, en principio, se puede sugerir un origen similar de los picos en ambos tipos de dispositivos, esto es, la excitación de plasmones en la superficie en las interfaces W-SiO<sub>2</sub> y Si-SiO<sub>2</sub>. Sin embargo, al asumir un origen similar de los picos en  $dI^2/d^2V$  se esperarían mecanismos distintos de degradación entre 5V y 7V (la región de separación entre los picos), y en consecuencia una diferencia en los parámetros  $P_{gen}$  y  $Q_{BD}$ .

Entonces, la ausencia de cambios en los parámetros de degradación, en correspondencia con la excitación de plasmones de superficie W-SiO<sub>2</sub>, sugiere la

participación de otro mecanismo de degradación en reemplazo de la inyección de huecos desde el ánodo a bajas tensiones (sección 2.2.3). Entre los posibles mecanismos conocidos, la liberación y transporte de hidrógeno es una posibilidad para explicar la degradación a bajas tensiones [47] (sección 2.2.4).

#### 4.7 Estadística de Ruptura

El análisis de la dinámica de generación de defectos y de los parámetros de “wear-out” ( $Q_{BD}$  y  $N_{BD}$ ) no mostraron diferencias significativas. Para ver eventuales diferencias mediciones estadísticas fueron necesarias.

Una gran cantidad de trabajos publicados muestran que la ruptura del óxido de gate,  $Q_{BD}$ , esta estadísticamente distribuida y bien representada por la función de Weibull [48,49] dada por,

$$F(x) = 1 - \exp\left[-(x/\alpha)^\beta\right] \quad [4.5]$$

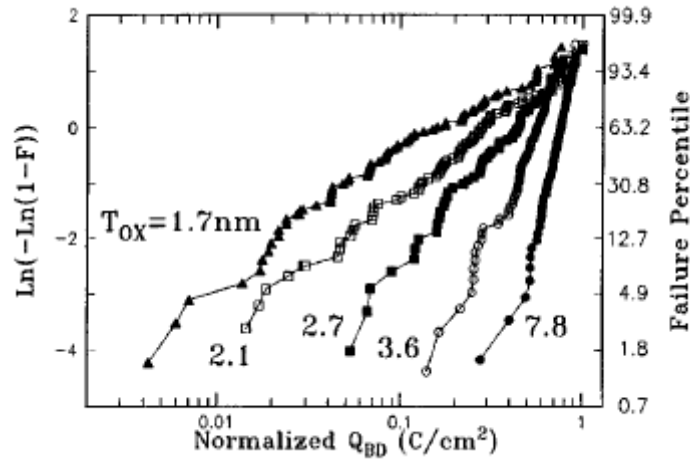
donde  $F(x)$  es la probabilidad de falla acumulativa,  $x$  es la carga  $Q_{BD}$ ,  $\alpha$  es el porcentual de falla a 63.2%, y  $\beta$  es denominado la pendiente de Weibull. Rescribiendo la expresión 4.5 se tiene:

$$\ln[-\ln(1 - F(x))] = \beta \cdot (\ln(x) - \ln(\alpha)) \quad [4.6]$$

Donde a partir de  $\ln[-\ln(1 - F(x))]$  vs.  $\ln(x)$  se puede calcular la pendiente  $\beta$  de la distribución que es uno de los parámetros más importante en la fiabilidad de dispositivos electrónicos. Experimentalmente, se encontró que la pendiente  $\beta$  disminuye con el espesor del óxido resultando en distribuciones de  $Q_{BD}$  más anchas. Un ejemplo de esto se puede ver en la Fig.4.18 [50], donde se observa el aumento de las diferencias entre los valores mínimos y máximos de  $Q_{BD}$  (disminución de  $\beta$ ) a medida que  $t_{OX}$  disminuye.

El modelo percolativo de ruptura (sección 4.4) es capaz de describir en forma cualitativa el comportamiento de la pendiente de Weibull a medida que el espesor disminuye.

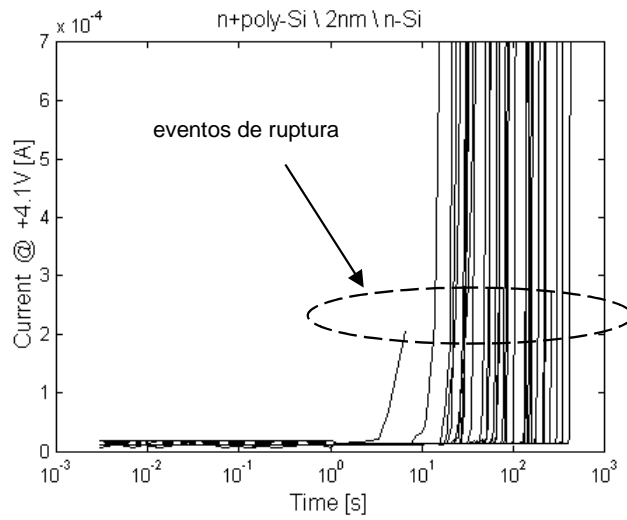
Se mostró que la inclusión de un nivel crítico de defectos  $N_{BD}$ , lleva a una correcta descripción de la estadística de ruptura [35-37], y mediante simulaciones se demostró que es posible encontrar la dependencia de  $N_{BD}$  con el espesor de óxido [36].



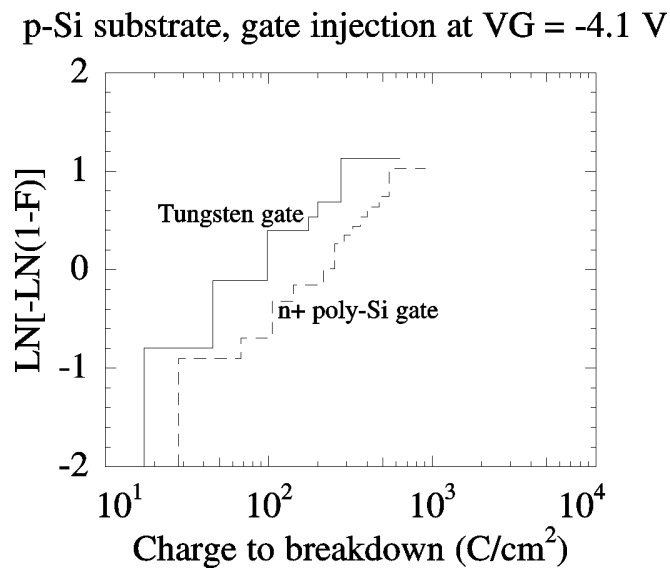
**FIGURA 4.18:** Distribuciones de Weibull para distintos espesores de óxido. Obtenida de la Ref. [50]

El aumento del ancho de las distribuciones de probabilidad le dio al número de mediciones involucradas en la determinación de  $\beta$ ,  $Q_{BD}$  y  $T_{BD}$  un rol importante. Mientras para óxidos gruesos, un número bajo de mediciones (10 aprox.) es aceptable, los óxidos delgados presentan una situación diferente. Como los valores de  $Q_{BD}$  pueden llegar a estar distribuidos en tres ordenes de magnitud (por ej. Fig.4.18), la incerteza es muy grande para un número reducido de mediciones. Si bien, la necesidad de un gran número de mediciones afecta la determinación de la pendiente  $\beta$ , los valores al 63% resultan confiables con un número relativamente pequeño de mediciones (30-40 aprox.).

Para resaltar diferencias en los resultados de  $Q_{BD}$  vs.  $V_G$  (Fig.4.12), entre dispositivos con distinto material de gate, se ha realizado un análisis estadístico en un caso particular de degradación. Manteniendo constante el área de dispositivo y la tensión  $V_G$  en valor absoluto se midió sistemáticamente la corriente hasta la ruptura del dieléctrico de gate. La Fig.4.19 muestra mediciones típicas de corriente  $I_G$  en función de tiempo. Se observa, como se esperaba, una dispersión temporal del evento de ruptura y un incremento muy leve en la corriente durante la degradación.

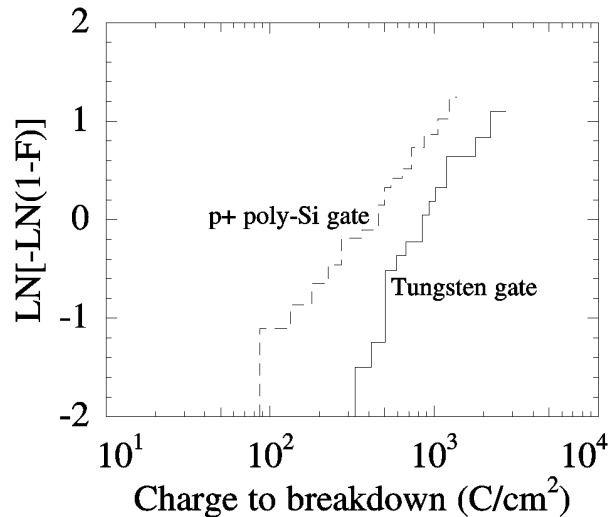


**FIGURA 4.19:** Mediciones de corriente en función del tiempo al aplicar 4.1V en un dispositivo  $p^+$ poly-Si/2nm/n-Si.



**FIGURA 4.20:** Distribución de Weibull para dispositivos p-Si en acumulación.

n-Si substrate, substrate injection at  $V_G = +4.1$  V



**FIGURA 4.21:** Distribución de Weibull para dispositivos n-Si en acumulación.

A partir de cada medición se determinó  $Q_{BD}$  según la expresión 4.2 y se graficó la distribución del Weibull según la expresión 4.6 y los resultados se muestran en la Figs.4.20 y 4.21.

En el caso de la Fig. 4.21, donde para ambas situaciones la corriente es mayormente debida a túnel de electrones de la banda de conducción desde el substrato (ver Fig.2.6), las muestras con W gate tienen una distribución a valores más grandes de  $Q_{BD}$  que las muestras con poly-Si gate. Por otro lado, en la Fig.4.20, donde las muestras de W gate tienen una gran componente de huecos desde el substrato, se obtiene el resultado opuesto. Es decir, las muestras con poly-Si gate muestran una distribución a mayores valores de  $Q_{BD}$ , que las de W gates. La diferencia en ambos casos es pequeña sugiriendo que, a esas tensiones, la generación de defectos debida a inyección de huecos o electrones es comparable, como se observa en [51].

#### Resumen del Capítulo 4

En este capítulo se mostraron los resultados más importantes sobre el efecto del material de gate en la degradación del  $\text{SiO}_2$ .

Se realizó un análisis muy detallado de la evolución de los defectos y de la caracterización de la ruptura en capacitores tipo n- y p-Si con poly-Si y Tungsteno como materiales de gate.

Se determinó en forma experimental los parámetros  $Q_{BD}$ ,  $N_{BD}$  y  $P_{gen}$  en un amplio rango de tensiones (2.5 a 13V), y se interpretaron los resultados en función de los modelos físicos más aceptados de la literatura. Los resultados de este capítulo mostraron que:

(i) Los parámetros  $Q_{BD}$ ,  $N_{BD}$  y  $P_{gen}$  resultaron similares en todo el rango estudiado para ambos tipos de dispositivos. La dinámica con relación a la tensión aplicada mostró que tanto  $P_{gen}$  como  $Q_{BD}$  poseen cambios de régimen entorno a 5 y 7V.

Respecto a  $N_{BD}$ , la superposición de valores para W y Poly-Si gates, confirma que la ruptura ocurre cuando la concentración de defectos supera un nivel crítico simplemente relacionado con el espesor del óxido, y no depende del material del ánodo.

(ii) Se encontró evidencia experimental que apoyaría la presencia de un mecanismo alternativo a la inyección de huecos desde el ánodo en la degradación a bajas tensiones.

Las diferencias entre la dinámica de los parámetros de degradación ( $Q_{BD}$  y  $P_{gen}$ ) y los picos de las curvas  $d^2I/dV^2$ , apoyarían la participación de otro mecanismo de pérdida de energía para los portadores, por ej. la liberación de hidrógeno.

(iii) Estudios estadísticos sobre  $Q_{BD}$  mostraron que los dispositivos W/n-Si tienen una distribución a valores más grandes de  $Q_{BD}$  que las muestras con poly-Si/n-Si.

En el caso de dispositivos con substrato p-Si, se obtiene la situación opuesta. Esto se debería a que las muestras W/p-Si gate tienen una gran componente de huecos desde el substrato.

Los resultados de este capítulo fueron publicados en las siguientes conferencias y revistas:

“Dielectric breakdown mechanisms in gate oxides”

S. Lombardo, J. H. Stathis, B. P. Linder, K.L. Pey, **F. Palumbo**, and C. H. Tung

Accepted as Invited Review on Journal of Applied Physics (2004). EN PRENSA.

“Reliability of MOS devices with Tungsten gates”

**F. Palumbo**, S. Lombardo, J. H. Stathis, V. Narayanan, R. McFeely, and J. J. Yurkas.

Microelectronic Engineering, Volume 72, Issues 1-4, Pages 45-49, April 2004.

Proceedings of the 13th Biennial Conference on Insulating Films on Semiconductors.

“Degradation of Ultra-Thin Oxides with Tungsten Gates under High Voltage: Wear-out and Breakdown Transient”

**F. Palumbo**, S. Lombardo, J. H. Stathis, V. Narayanan, F. R. McFeely, and J. J. Yurkas

Proceedings at the 42th Annual International Reliability Physics Symposium IRPS, 122-125, April 2004, USA.

## Referencias Capítulo 4

- [1] International Technology Roadmap for Semiconductors 2003 <http://public.itrs.net/>
- [2] J.H. Stathis, "Reliability limits for the gate insulator in CMOS technology", IBM J.Res&Dev. Vol.46 No.2/3, 2002.
- [3] E. Wu, J. Aitken, E. Nowak, A. Vayshenker, P. Varekamp, G. Hueckel, J. McKenna, D. Harmon, L.-K. Han, C. Montrose, and R. Dufresne, "Voltage-dependent voltage-acceleration of oxide breakdown for ultra-thin oxides," in *IEDM Tech. Dig.*, 2000, pp. 541–544.
- [4] J. H. Stathis and D. J. DiMaria, "Reliability Projection for Ultra-Thin Oxides at Low Voltage," *IEDM Tech. Digest*, pp. 167–170 (1998).
- [5] D. J. DiMaria and J. H. Stathis, "Non-Arrhenius Temperature Dependence of Reliability in Ultrathin Silicon Dioxide Films," *Appl. Phys. Lett.* 74, 1752–1754 (1999).
- [6] B. Kaczer, R. Degraeve, N. Pagon, and G. Groeseneken, "The Influence of Elevated Temperature on Degradation and Lifetime Predication of Thin Silicon-Dioxide Films," *IEEE Trans. Electron Devices* 47, 1514 –1521 (2000).
- [7] R. Degraeve, G. Groeseneken, B. Kaczer, and N. Pagon, "Temperature Acceleration of Oxide Breakdown and Its Impact on Ultra-Thin Gate Oxide Reliability," *Symposium on VLSI Technology, Digest of Technical Papers*, 1999, pp. 59 – 60.
- [8] Bin Wang; Suehle, J.S.; Vogel, E.M.; Bernstein, J.B., "The effect of stress interruption and pulsed biased stress on ultra-thin gate dielectric reliability", *IEEE Integrated Reliability Workshop Final Report*, Lake Tahoe, CA 2000, 74-79.
- [9] T.Pomp, H.Wuzer, M. Kerber, R.C. Wilkins and I. Eisele, *Proc. Int.Reliability Physics Symp.* Vol.37,1999,82-87.
- [10] J.Suñe, G.Mura, E.Miranda, *IEEE Electron Device Lett.* vol.21, 167-169, 2000.
- [11] D. J. Dumin and J. R. Maddux, "Correlation of Stress-Induced Leakage Current in Thin Oxides with Trap Generation Inside the Oxides," *IEEE Trans. Electron Devices* 40, 986 –993 (1993).
- [12] M. Kimura and H. Koyama, "Stress-Induced Low-Level Leakage Mechanism of Ultrathin Silicon Dioxide Films Caused by Neutral Oxide Trap Generation," *Proceedings of the International Reliability Physics Symposium*, 1994, pp. 167–172.
- [13] M. A. Alam, "SILC as a measure of trap generation and predictor of TBD in ultrathin oxides", *IEEE Trans. Electron Devices* 49, 226 –231 (2002).
- [14] D. J. DiMaria and E. Cartier, "Mechanims for stress-induced leakage current in thin silicon dioxide films", *J. Appl. Phys.* 78(6), 3883– 3894 (1995).

- [15] R. Rodriguez, E. Miranda, R. Pau, J. Sune, M. Nafria, and X. Aymerich, "Monitoring the degradation that causes the Breakdown of ultrathin (<5 nm) SiO gate oxides," *IEEE Electron Device Lett.*, vol. 21, pp. 251–253, May 2000.
- [16] W. K. Chim and P. S. Lim, "Improved model for the stress-induced leakage current in thin silicon dioxide based on conduction-band electron and valence-band electron tunneling", *J. Appl. Phys.* 91(31), (2002).
- [17] Wai Jyh Chang, Mau Phon Houn and Yeong Her Wang, "Simulation of stress-induced leakage current in silicon dioxides: A modified trap-assisted tunneling model considering Gaussian-distributed traps and electron energy loss", *J. Appl. Phys.* 89(11), (2001).
- [18] P.Cappelletti, C. Golla, P.Olivo and E. Zanoni, "Flash Memories", Kluwer Publishers, 206-208, (2000).
- [19] D. J. DiMaria, E. Cartier, and D. A. Buchanan, "Anode hole injection and trapping in silicon dioxide", *J. Appl. Phys.* 80(1), 304–318 (1996).
- [20] D.Heh, E.M.Vogel, and J.B.Bernstein, "Defect Generation in ultra-thin over large Fluence Range", IEEE Integrated Reliability Workshop Final Report, Lake Tahoe, CA 2000, 74-79.
- [21] D. J. DiMaria, "Electron energy dependence of metal-oxide-semiconductor degradation", *Appl. Phys. Lett.* 75 (16), 1999.
- [22] K. F. Schuegraf and C. Hu, "Metal-oxide-semiconductor field-effect-transistor substrate current during Fowler-Nordheim tunneling stress and silicon dioxide reliability", *J. Appl. Phys.* 76 (6), 3695, 1994.
- [23] D. J. DiMaria and J. H. Stathis, "Explanation for the oxide thickness dependence of breakdown characteristics of metal-oxide-semiconductor structures", *Appl. Phys. Lett.* 70 (20), 2708, 1997.
- [24] Akiko Ohata, Akira Toriumi, Masao Iwase, and Kenji Natori, "Observation of random telegraph signals: Anomalous nature of defects at the Si/SiO<sub>2</sub> interface" *J. Appl. Phys.* 68, 200, (1990).
- [25] Felice Crupi, Robin Degraeve, Guido Groeseneken, Tanya Nigam, and Herman E. Maes, "On the Properties of the Gate and Substrate Current after Soft Breakdown in Ultrathin Oxide Layers", *IEEE Trans. Electron Devices* 45(11), 2329, (1998).
- [26] D. J. DiMaria and J. H. Stathis, "Ultimate limit for defect generation in ultra-thin silicon dioxide", *Appl. Phys. Lett.* 71 (22), 3230, 1997.
- [27] E. M. Vogel, J. S. Suehle, M. D. Edelstein, B. Wang, Y. Chen, and J. B. Bernstein, "Reliability of Ultrathin Silicon Dioxide Under Combined Substrate Hot-Electron and Constant Voltage Stress," *IEEE Trans. Electron Devices* 47, 1183–1191 (2000).



- [28] B. E. Weir, M. A. Alam, J. D. Bude, P. J. Silverman, A. Ghetti, F. Baumann, P. Diodato, D. Monroe, T. Sorsch, G. L. Timp, Y. Ma, M. M. Brown, A. Hamad, D. Hwang, and P. Mason, "Gate oxide reliability projection to the sub-2 nm regime," *Semicond. Sci. Technol.*, vol. 15, pp. 455–461, 2000.
- [29] B. E. Weir, M. A. Alam, J. D. Bude, P. J. Silverman, A. Ghetti, F. Baumann, P. Diodato, D. Monroe, T. Sorsch, G. L. Timp, Y. Ma, M. M. Brown, A. Hamad, D. Hwang, and P. Mason, "Gate oxide reliability projection to the sub-2 nm regime," *Semicond. Sci. Technol.*, vol. 15, pp. 455–461, 2000.
- [30] M. A. Alam, J. Bude, and A. Ghetti, "Field acceleration for oxide breakdown—Can an accurate anode hole injection model resolve the  $E$  vs.  $1/E$  controversy?," in *Proc. Int. Reliability Physics Symp.*, 2000, pp.21–26.
- [31] M. Takayanagi, S. Takagi, and Y. Toyoshima, "Experimental study of gate voltage scaling for TDDB under direct tunneling regime," in *Proc.Int. Reliability Physics Symp.*, vol. 39, 2001, pp. 380–385.
- [32] M. A. Alam, J. Bude, B. Weir, P. Silverman, A. Ghetti, D. Monroe, K. P. Cheung, and S. Moccio, "An anode hole injection percolation model for oxide breakdown—The "Doom's Day" scenario revisited," in *IEDM Tech. Dig.*, 1999, pp. 715–718.
- [33] B. Ricco, M. Y. Azbel, and M. H. Brodsky, "Novel Mechanism for Tunneling and Breakdown in Thin SiO<sub>2</sub> Films," *Phys. Rev. Lett.* **51**, 1795–1798 (1983).
- [34] Y. Nissan-Cohen, J. Shappir, and D. Frohman- Bentchkowsky, "Trap Generation and Occupation Dynamics in SiO<sub>2</sub> Under Charge Injection Stress," *J. Appl. Phys.* **60**, 2024 –2035 (1986).
- [35] Robin Degraeve, Guido Groeseneken, Rudi Bellens, Jean Luc Ogier, Michel Depas, Philippe J. Roussel, and Herman E. Maes,,"New Insights in the Relation Between Electron Trap Generation and the Statistical Properties of Oxide Breakdown", *IEEE Trans. Electron Devices* **45(4)**, (1998).
- [36] J. H. Stathis," Percolation models for gate oxide breakdown", *J. Appl. Phys.* **86(10)**, 5757 –5767 (1999).
- [37] J. Sun'e', I. Placencia, N. Barniol, E. Farre's, F. Marti'n, and X. Aymerich, "On the Breakdown Statistics of Very Thin SiO<sub>2</sub> Films," *Thin Solid Films* **185**, 347–362 (1990).
- [38] J.Sune, and E. Miranda,"Post Soft Breakdown Conduction in SiO<sub>2</sub> gate Oxides", *IEDM Tech. Dig.*, 2000, pp. 533–536.
- [39] A.Cester, L. Bandiera, J.Sune, L. Boschiero, G. Ghidini and A. Paccagnella,"A Novel Approach to Quantum Point Contact for Post Soft Breakdown Conduction", *IEDM Tech. Dig.*, 2001, pp. 305–308.

- [40] D. J. DiMaria, E. Cartier, and D. Arnold, "Impact Ionization, Trap Creation, Degradation, and Breakdown in Silicon Dioxide Films on Silicon," *J. Appl. Phys.* **73**, 3367–3384 (1993).
- [41] D. J. Dumin, S. K. Mopuri, S. Vanchinathan, R. S. Scott, R. Subramoniam, and T. G. Lewis, "High Field Related Thin Oxide Wearout and Breakdown," *IEEE Trans. Electron Devices* **42**, 760–772 (1995).
- [42] P. P. Apte and K. C. Saraswat, "Correlation of Trap Generation to Charge-to-Breakdown ( $Q_{bd}$ ): A Physical- Damage Model of Dielectric Breakdown," *IEEE Trans. Electron Devices* **41**, 1595–1602 (1994).
- [43] D. J. Dumin, J. R. Maddux, R. S. Scott, and R. Subramoniam, "A Model Relating Wearout to Breakdown in Thin Oxides," *IEEE Trans. Electron Devices* **41**, 1570–1580 (1994).
- [44] D. J. DiMaria, "Defect Production, Degradation, and Breakdown of Silicon Dioxide Films," *Solid-State Electron.* **41**, 957–965 (1997).
- [45] D. Heh, E. M. Vogel and J. B. Berstein, "defect generation in ultrathin oxide over large fluence range", IRW final report, 9-13, (2002).
- [46] J. H. Weaver, "Optical properties of cristaline Tungsten", *Phys.Rev.B.* Vol.12. No.4, 1293, (1975).
- [47] F. Palumbo, S. Lombardo, J. H. Stathis, V. Narayanan, F. R. McFeely, and J. J. Yurkas, "Degradation of Ultra-Thin Oxides with Tungsten Gates under High Voltage: Wear-out and Breakdown Transient", *Proc. Int. Reliability Physics Symp.*, vol. 42, 2004, pp. 583–587.
- [48] R. Degraeve, G. Groeseneken, R. Bellens, M. Depas, and H. E. Maes, "A Consistent Model for the Thickness Dependence of Intrinsic Breakdown in Ultra-Thin Oxides," *IEDM Tech. Digest*, p. 866 (1995).
- [49] S. Lombardo, A. La Magna, C. Spinella, C. Gerardi, and F. Crupi, "Degradation and Hard Breakdown Transient of Thin Gate Oxides in Metal-SiO<sub>2</sub>-Si Capacitors: Dependence on Oxide Thickness," *J. Appl. Phys.* **86**, 6382–6391 (1999).
- [50] E. Wu, E. Nowak, A. Vayshenker, J. McKenna, D. Harmon, and R. Vollertsen, "New Global Insight in Ultrathin Oxide Reliability Using Accurate Experimental Methodology and Comprehensive Database", *IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY*, VOL. 1, NO. 1, 69, 2001,
- [51] D. J. DiMaria, "Defect generation in ultra-thin silicon dioxide films produced by anode hole injection", *Appl. Phys. Lett.* **77**, 2716 (2000).

---

# Capítulo 5

---

## **La Ruptura del Óxido. Aportes Parciales a su Comprensión**

Fue mostrado en trabajos recientes, que el modo de ruptura en óxidos delgados es caracterizado por un incremento gradual de la corriente en vez de un cambio brusco en las propiedades de conducción como sucede en los óxidos gruesos. El incremento progresivo en condiciones de operación de los circuitos es muy lento y puede llevar varios años a la corriente alcanzar niveles que perjudiquen el funcionamiento de circuitos complejos. De esta manera, es considerado una fracción importante del tiempo de falla total de los dispositivos MOS.

En este contexto, el estudio de las características de ruptura progresiva y conducción post-ruptura son importantes para predecir el comportamiento y evolución de los dispositivos en estas circunstancias.

En este capítulo nos propusimos investigar estos aspectos para contribuir al entendimiento de los mecanismos que gobiernan el evento de ruptura en óxidos delgados.

El capítulo está organizado de la siguiente manera: En la primera, parte se introducen los conocimientos actuales sobre la ruptura progresiva y el montaje experimental necesario. Luego se estudia en forma sistemática, la dinámica de la ruptura progresiva en función de la tensión, y las características de conducción luego del evento de

ruptura. Finalmente, se determina el daño estructural mediante microscopía y, sobre la base de todos los resultados obtenidos, se propone un modelo de conducción post-ruptura.

### **5.1 Modos de Ruptura**

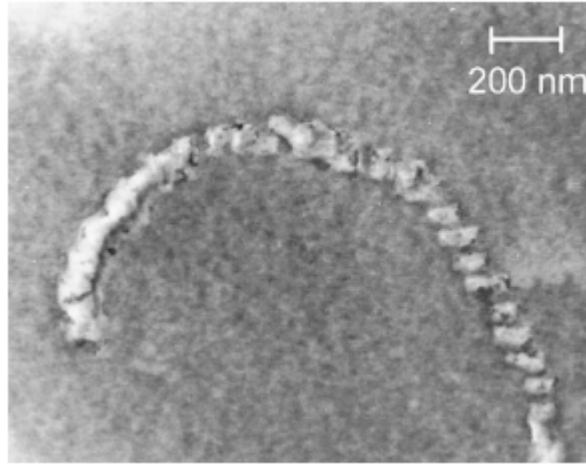
Como estudiamos en gran parte de este trabajo, al aplicar una diferencia de potencial a la estructura MOS, la ruptura intrínseca del óxido de gate ocurre cuando se llega a un nivel crítico en la densidad de defectos. Según el modelo percolativo, la conducción a través de los defectos permite el paso de corriente al unir eléctricamente el cátodo y el ánodo. Luego del evento de ruptura, la corriente comienza a circular y el spot de ruptura puede evolucionar resultando en una región dañada [1-6].

El estudio de estos cambios estructurales o daños físicos asociados a la ruptura de óxidos de gate contribuye al entendimiento e identificación de los mecanismos de falla, aspecto importante en la determinación de la vida útil de los dispositivos MOS.

Particularmente se mostró en la literatura, mediante microscopía TEM (Transmission-Electron-Microscopy), que existe un cambio en el modo de ruptura de óxido de gate [1,2] en muestras entre 3 y 35nm a campo constante.

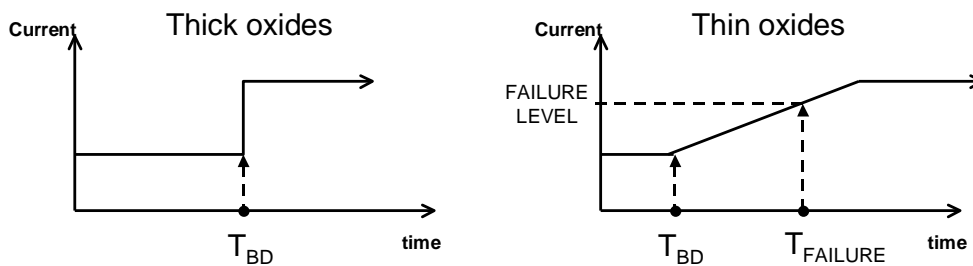
En óxidos gruesos de 35nm se encontraron evidencias que el spot de ruptura se propaga horizontalmente describiendo líneas continuas (del orden de cientos de  $\mu\text{m}$ ) en la superficie del poly-Si gate. Al disminuir el espesor del  $\text{SiO}_2$ , el daño también disminuye y se tiene una transición en el modo de ruptura. Se pasa de daños continuos sobre la superficie a un spot de ruptura en óxidos de 3nm [1,2].

Es interesante lo que sucede en espesores intermedios. Se encontró que para 5.6nm el daño en la superficie no es continuo [2]. La Fig.5.1 muestra una imagen TEM donde el óxido está muy dañado por una línea de ruptura que permite el contacto entre el poly-Si gate y el substrato. Notar que en este caso la línea de ruptura presenta una estructura interna. Se observan una sucesión de spots de ruptura de 100nm, separados 100nm aproximadamente.



**FIGURA 5.1:** Fotografía TEM del punto de inicio de ruptura en un óxido de 5.6nm. La imagen muestra la estructura del evento de ruptura formada por varios spots generando una línea en la superficie del MOS. La imagen corresponde a la Ref.[2].

Por otro lado, se observó que el nivel de corriente a +1V en curvas I-V post-ruptura depende de la limitación de corriente del circuito externo [2]. Es decir, disminuyendo la densidad de portadores el nivel de corriente post-ruptura también disminuye (i.e. el daño estructural). Los resultados de estos experimentos apoyan la idea que el camino inicial es dañado térmicamente debido a la circulación de una gran densidad de electrones por una región muy pequeña, de orden del nano-metro [2,3,5,6].



**FIGURA 5.2:** Esquema del transitorio de ruptura (corriente vs. tiempo). (a) óxidos gruesos, (b) óxidos ultra-delgados.

Recientemente se comenzó a estudiar la ruptura en óxidos aun más delgados ( $>3\text{nm}$ ), y se encontró que la característica más importante es el aumento progresivo de la corriente. Estudios sistemáticos revelaron que el modo progresivo de ruptura es el

modo dominante en condiciones de operación [6-9]. La Fig.5.2 muestra un esquema del fenómeno. Se observa que para óxidos gruesos la ruptura esta asociada a un cambio brusco en el nivel de corriente, mientras que para óxidos ultra-delgados se tiene un aumento progresivo. En este contexto, una nueva definición de tiempo de falla o de ruptura se comenzó considerar [7,9]. A pesar que el tiempo de ruptura  $T_{BD}$  es un parámetro de importancia en la fiabilidad de dispositivos, existe la tendencia a definir un nuevo parámetro llamado tiempo de falla  $T_F$ .

El aumento progresivo de la corriente asociado a la ruptura puede no afectar el funcionamiento del circuito en el estado inicial [7,10]. Al persistir este aumento eventualmente se llegara a niveles de corriente superiores a la tolerancia del circuito y la falla ocurrirá. En este contexto,  $T_F$  es definido como el tiempo requerido por la corriente para llegar a determinado nivel de falla, donde este dependerá de la función y/o ubicación del dispositivo en el circuito, y puede ser considerado como parámetro de diseño.

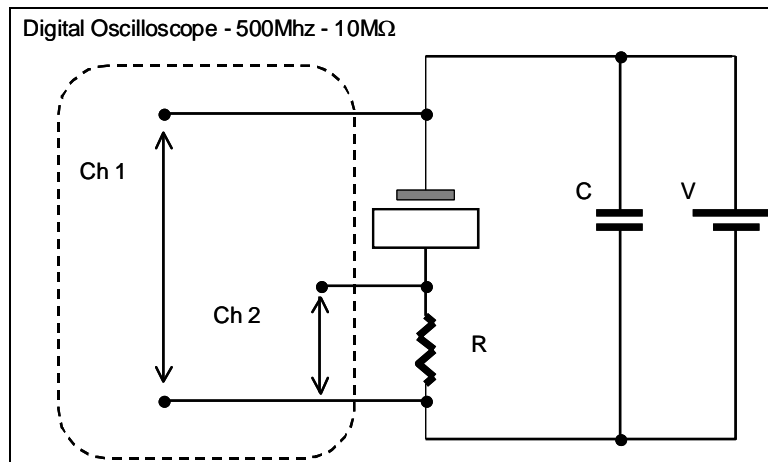
La comprensión de la estructura física del daño con relación al transitorio de ruptura progresiva son incógnitas actualmente en el área de la física de dispositivos. En este capítulo se estudio este aspecto en distintos tipos de dispositivos.

## **5.2 Montaje Experimental**

Para investigar el evento de ruptura en óxidos ultra delgados es necesario medir el crecimiento de corriente con una alta resolución temporal.

En esta investigación se utilizaron dos variantes del mismo experimento [1]. Una con una alta resolución temporal (del orden de nano-segundo), y otra con resolución de micro-segundo. La primera tiene como desventajas, una gran dificultad técnica en el montaje y a presencia de ruido de fondo, con lo cual generalmente no es posible limitar la corriente a bajos niveles.

La segunda es simplemente la amplificación de la corriente circulante mediante un amplificador de corriente (por ej. Keithley 448) y la lectura de la señal de salida mediante un osciloscopio digital. Esto simplifica el montaje pero se sacrifica resolución temporal. Según la ganancia utilizada se logra una resolución de micro-segundo. Notar que esta resolución depende del instrumento utilizado.



**FIGURA 5.3:** Esquema de medición eléctrica de transitorios de rupturas progresivas.

La Fig.5.3 muestra el esquema experimental del sistema de alta resolución. La corriente de sustrato es medida con un osciloscopio digital a través de la caída de potencial de una resistencia ( $100 \Omega$ ). El capacitor ( $10\text{nF}$ ) en paralelo permite mantener la tensión sobre el dispositivo durante el evento de ruptura.

En este circuito, la resolución temporal viene dada por la constante  $RC$  en serie con el capacitor. Con una capacidad en el rango de  $20\text{-}40 \text{ pF}$  y una resistencia de canal de osciloscopio de  $50 \Omega$  la resolución es del orden de nano-segundo. Notar que el circuito también permite medir la caída de potencial en la estructura MOS durante el evento de ruptura.

### 5.3 Dinámica de Ruptura Progresiva

El incremento gradual de la corriente después del evento de ruptura fue cuantificado mediante la pendiente de la corriente ( $DR = dI_{BD}/dt$ ) como se sugiere en [7].

Se midió en forma sistemática el factor  $DR$  para un amplio rango de tensiones, en acumulación (de  $4\text{V}$  a  $5.5\text{V}$ ), en capacitores de  $2\text{nm}$ , con sustrato p-Si y n-Si y poly-Si y W gates como material de gate.

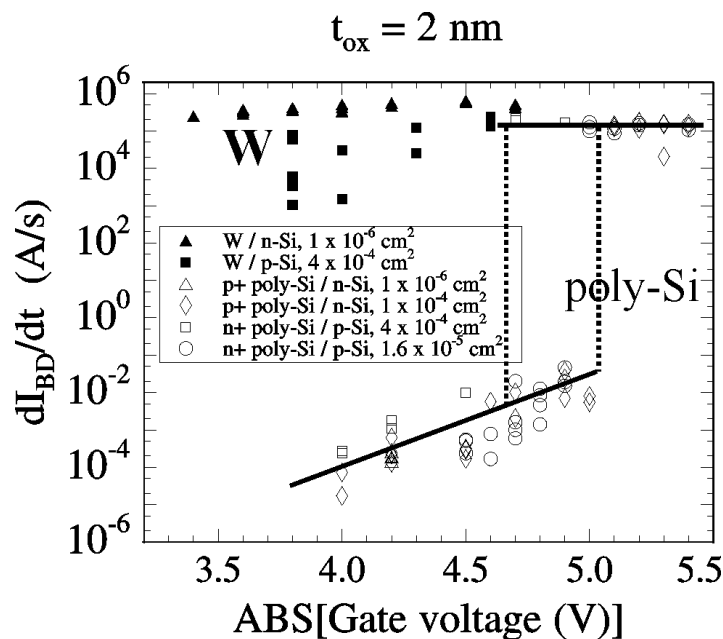
La Fig.5.4 muestra los resultados de  $DR$  en función del valor absoluto  $V_G$ . A bajas tensiones se encontró una fuerte dependencia con  $V_G$  (de  $3$  a  $5 \text{ dec/V}$ ) para los dispositivos con poly-Si gate.

A tensiones altas, se observa una transición a un modo de ruptura diferente, caracterizado por un transitorio muy rápido, de orden del nano-segundo.

Las mediciones de DR sobre muestras de Poly-Si son similares a resultados publicados[7,9], pero en nuestro caso se tiene un corrimiento de la discontinuidad hacia tensiones mayores, el cual puede ser atribuido a la presencia de resistencia en serie en el circuito de medición.

La explicación de la discontinuidad no se puede realizar ni en términos de la potencia disipada, ni con relación al campo eléctrico. A partir de las mediciones de la Fig.5.5, se observa que la potencia disipada se mantiene en el orden de los mW, mientras existe una gran diferencia en los tiempos característicos del transitorio de ruptura. Además se mostró que distintos espesores de óxido muestran el mismo coeficiente DR a tensión constante, con lo cual es la tensión  $V_G$  y no el campo es el parámetro físico que gobierna la discontinuidad de DR [7,8].

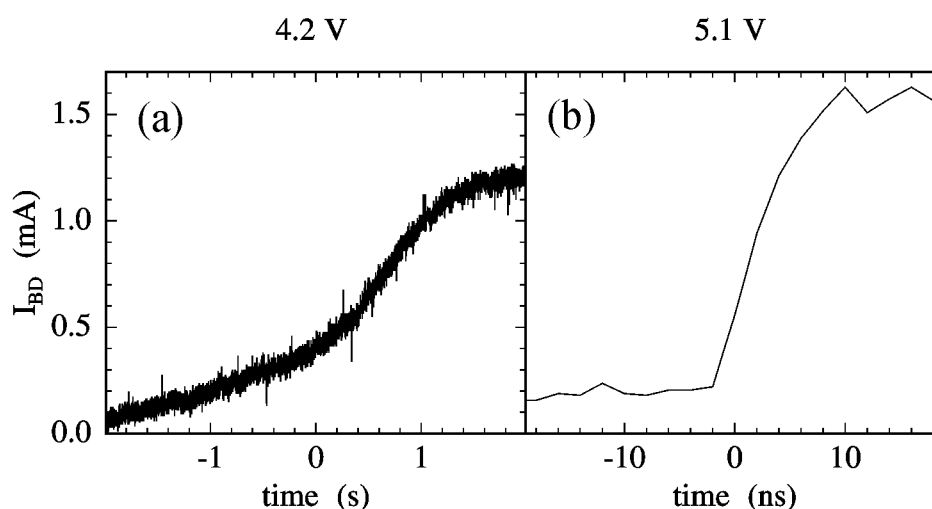
Es importante tener en cuenta que  $Q_{BD}$  no muestran este tipo de discontinuidad (ver Fig.4.12). Debajo de 5V, la tasa de generación de defectos  $P_{gen}$  (Fig.4.15) y el DR (Fig.5.4) tienen la misma dependencia con  $V_G$ , sugiriendo que ambos procesos tienen el mismo origen relacionado a la generación de defectos por inyección. Entonces, la transición de los 5V de la Fig.5.4 no puede ser relacionada al mismo tipo de fenómeno, sino a las modificaciones propias del spot de ruptura. Notar que las mediciones de  $Q_{BD}$ ,  $P_{gen}$  y DR fueron realizadas sobre el mismo tipo de dispositivos, Fig. 4.12, 4.15 y 5.4 respectivamente.



**FIGURA 5.4:** Tasa de degradación en función del valor absoluto de degradación para distintos tipos de dispositivos.



La Fig.5.5 muestra mediciones típicas de transitorios de ruptura a +4.2V y +5.1V en capacitores MOS con poly-Si gates, donde es evidente el salto de ocho ordenes de magnitud en la tasa de degradación DR. Se observa que para +5.1V, el tiempo característico es del orden de nano-segundo, mientras que a +4.2V es del orden del segundo. Este cambio abrupto es mayoritariamente debido a la transición en el modo de ruptura de la Fig.5.4.



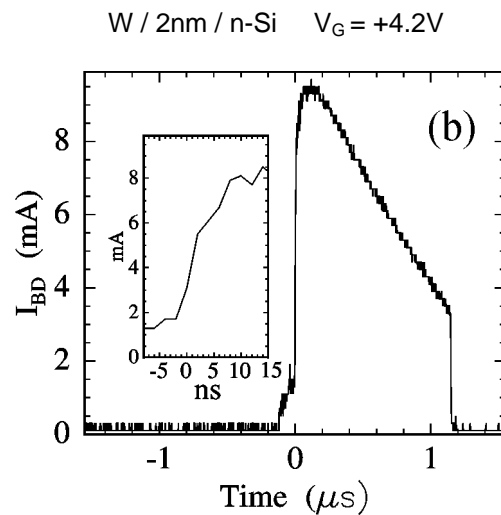
**FIGURA 5.5:** Mediciones de transitorios de ruptura a tensión constante para capacitores con poly-Si gate. (a) +4.2V, (b) +5.1V.

Por otro lado, encontramos que los dispositivos con W y poly-Si gates se comportan muy distinto entre si (Fig.5.6). Las muestras con W gates, degradadas en acumulación para substratos n-Si y p-Si, muestran transitorios muy rápidos en todo el rango de tensiones estudiadas (Fig.5.4), mientras las muestras con poly-Si gates un escalón en la tasa de degradación. Similares resultados se publicaron con relación al caso de nFETs degradados en inversión [8].

En la Fig.5.6 se muestra una medición típica para W / 2nm / n-Si. Estos dispositivos tienen un transitorio complicado del cual se pueden distinguir cuatro fases. Primero se observa una región de crecimiento lento de la corriente (aprox. 100 ns de duración) hasta 1 mA. Luego, la segunda fase, muy rápida en la cual la corriente alcanza valores

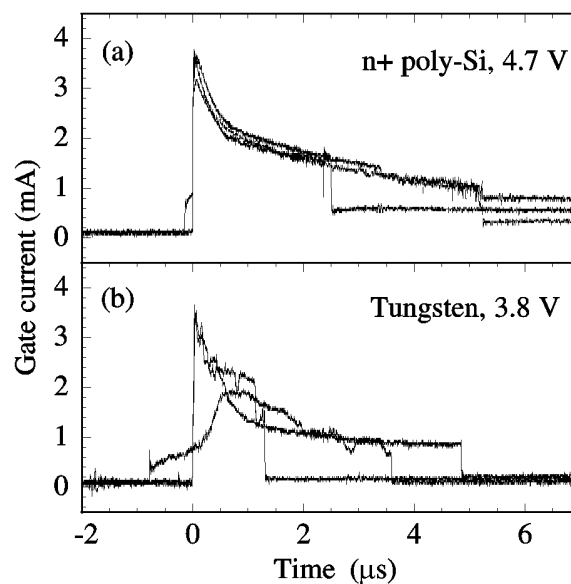
cercanos a 10 mA (ver detalle de la Fig.5.6). Posteriormente la corriente decrece y finalmente una caída repentina a cero en  $1\mu\text{s}$  aproximadamente.

La Fig.5.7 muestra otros transitorios rápidos para poly-Si y W gates, pero en este caso con substrato p-Si, a  $-4.7\text{V}$  y  $-4.2\text{V}$  respectivamente. Se observa, como en la Fig.5.6, un incremento inicial rápido y un descenso final de la corriente.



**FIGURA 5.6:** Transitorio de la corriente de ruptura para el caso de puerta de Tungsteno / 2nm / n-Si.

$t_{\text{ox}} = 2 \text{ nm}$ , p-Si substrate, injection from gate,  $4 \times 10^{-6} \text{ cm}^2$



**FIGURA 5.7:** Mediciones representativas de transitorios rápidos para (a) poly-Si y (b)W gates.

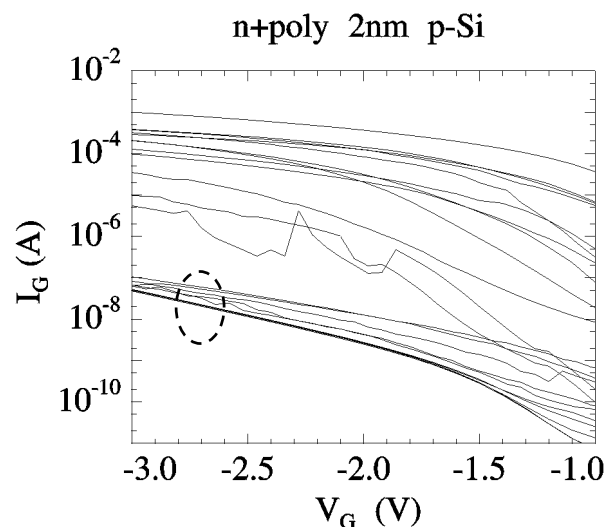
En presencia de transitorios rápidos ambos tipos de dispositivos (Poly-Si -altas tensiones- y Tungsteno en todo el rango) presentan un incremento inicial rápido del orden del nano-segundo, seguido de una disminución de la corriente hasta cero en algunos micro-segundos. Este efecto puede ser asociado a la modificación rápida del spot de ruptura [3,5,6]. Es decir, la corriente de ruptura muestra luego del salto inicial, una modificación del spot de ruptura que lleva a la disminución de la corriente.

Esta rápida modificación del spot de ruptura puede ser causado por los altos valores de densidad de corriente que circulan. La densidad puede alcanzar valores de  $10^{10}$  A/cm<sup>2</sup>, con lo cual se puede producir electromigración [11], y la eventual ruptura del material de gate lo que justificaría la caída de la corriente a niveles cercanos a cero.

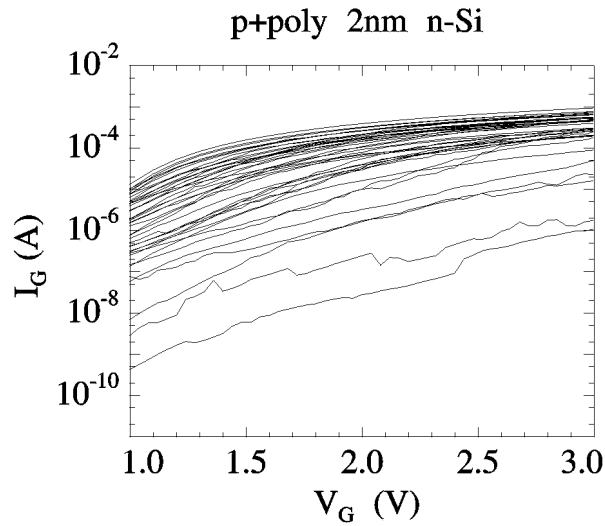
#### 5.4 Conducción Post-Ruptura

En el caso de poly-Si gates, el nivel de corriente post-ruptura es una magnitud importante para la evaluación de estado del SiO<sub>2</sub>.

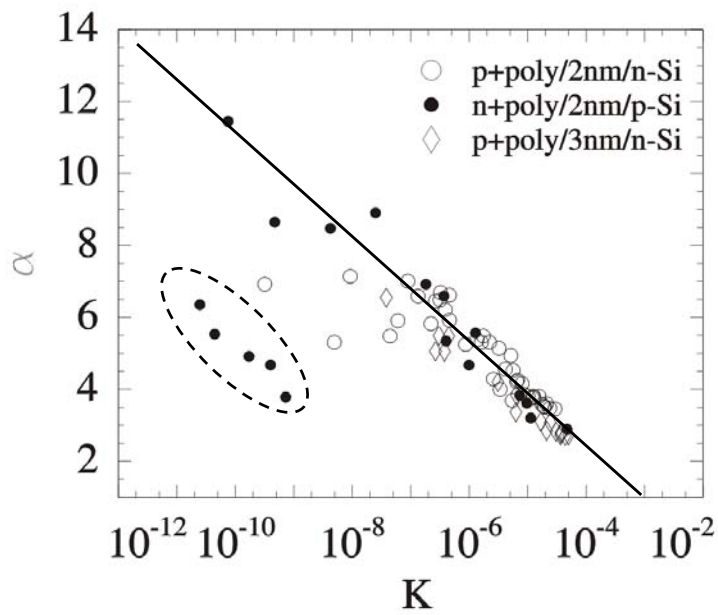
Las Fig.5.8 y 5.9 muestran las curvas características I-V en acumulación después del primer evento de ruptura para el caso de capacitores MOS de 2nm con n<sup>+</sup> poly / p-Si y p<sup>+</sup> poly / n-Si en un amplio rango de tensiones, -3.8V a -5.8V y de +3.7 a +6.1V respectivamente. En todos los casos no se limito la corriente del circuito.



**FIGURA 5.8:** Curvas I-V de post-ruptura para muestras n<sup>+</sup>poly/2nm/p-Si degradadas a tensión constante V<sub>G</sub> en el rango de -3.8 a -5.8 V, sin limitación en la corriente.



**FIGURA 5.9:** Curvas I-V de post-ruptura para muestras p<sup>+</sup>poly/2nm/n-Si degradadas a tensión constante  $V_G$  en el rango de +3.7 a -6.1 V, sin limitación en la corriente.



**FIGURA 5.10:** Correlación entre los parámetros  $\alpha$  y  $K$  para las curvas I-V de post-ruptura ajustadas asumiendo  $I=K.V^\alpha$ . Los puntos marcados con líneas punteadas se corresponden con las curvas, también señaladas en la Fig.5.8.

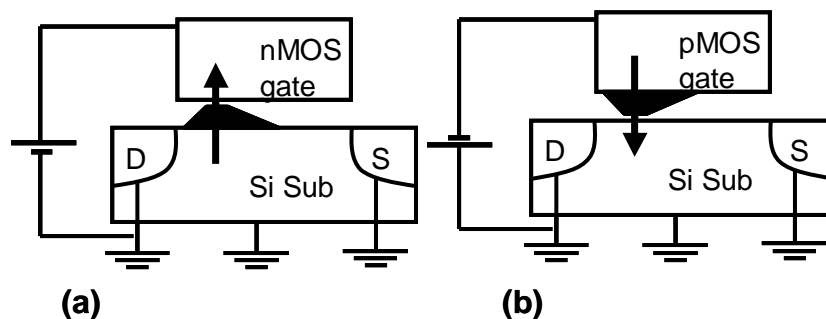
Las mediciones de las Figs. 5.8 y 5.9 muestran una dependencia lineal si se las grafica en escala log-log, con lo cual pueden ser bien representadas en términos de una expresión de la forma  $I = K V^\alpha$ , [12,13] donde  $\alpha$  y  $K$  son parámetros obtenidos ajustando las curvas experimentales. La Fig. 5.10 muestra  $\alpha$  en función de  $K$  para

todos los casos investigados. La característica fundamental es que  $\alpha$  y  $K$  aparecen muy bien correlacionados, y solo pocos puntos están fuera de esta tendencia general. Estos puntos pueden corresponder a spots de ruptura de diferente naturaleza, como los mencionados en [14], o los observados en el caso de inyección desde el Poly-Si, causados posiblemente por efectos extrínsecos.

La presencia de la correlación en la Fig.5.10 podría significar que en el modo de ruptura progresiva el daño estructural está bien definido. Para explorar este aspecto, se analizan algunas muestras mediante microscopía TEM en condiciones favorables.

### 5.5 Estructura del Spot de Ruptura

Como se discutió en la sección 5.1, las investigaciones existentes sobre la estructura morfológica del daño eléctrico muestran cambio de régimen a medida que disminuye el espesor del óxido. En óxidos gruesos (35nm) el daño se propaga lateralmente (Fig.5.1), mientras que en los más delgados (<3nm) se encuentra solamente un spot de ruptura (por ej. Fig.5.15).



**FIGURA 5.11:** Esquema de transistores MOS mostrando la dependencia de la generación del efecto DBIE con la polaridad aplicada durante la degradación. Notar el sentido de circulación de los electrones a través del SiO<sub>2</sub>.

Fue experimentalmente demostrado, que durante la ruptura en óxidos ultra-delgados se producen varios daños micro-estructurales y cambios en la estructura de los dispositivos.

A diferencia de la creencia convencional que considera que los defectos y daños solo se producen en la capa dieléctrica, los cambios físicos y micro-estructurales de los electrodos (poly-Si y substrato) tienen un rol fundamental en el evento de ruptura.

Dentro de todos los defectos identificados experimentalmente mediante microscopia, el defecto llamado DBIE (Dielectric-Breakdown-Induced-Epitaxy) podría ser dominante en condiciones de operación. Este se refiere a la nucleación, en la interfaz cátodo-SiO<sub>2</sub>, de montículos de Si ordenados epitaxialmente [3,5,6], donde la característica más importante es la dependencia del sentido de crecimiento con la polaridad aplicada [3]. Es decir, el sentido de circulación de los electrones a través de la capa de SiO<sub>2</sub> domina la creación y el crecimiento del DBIE. La Fig.5.11 muestra una representación al respecto.

Se cree que durante el DBIE, la nucleación de Si epitaxial comienza en la interfaz poly-Si/SiO<sub>2</sub> o SiO<sub>2</sub>/Si-substrato, dependiendo de la polaridad, donde se establece el camino percolativo. Microscopia de alta resolución (HRTEM) confirmó que la naturaleza epitaxial de los montículos son una extensión del cristal del substrato o del poly-Si. La dependencia del crecimiento DBIE con la polaridad puede separarse en dos etapas. La primera referida a la ruptura y el comienzo de la nucleación. A partir que el camino percolativo está formado (ruptura del SiO<sub>2</sub>) se establece la conexión eléctrica entre los electrodos. Dependiendo del nivel de limitación, la densidad de corriente de fuga en el sitio del spot (que puede ser estimada en el orden MA/cm<sup>2</sup>) es suficientemente alta para producir electromigración y desplazar átomos de Si, los cuales son acomodados epitaxialmente favorecidos por el aumento local de la temperatura. Notar que la dependencia del sentido de crecimiento con la polaridad apoya la existencia de electromigración en la formación del DBIE.

La segunda etapa, se refiere simplemente al crecimiento epitaxial del defecto debido también al aumento localizado de la temperatura.

Algunos trabajos mostraron que es posible considerar que la corriente de fuga genere un calentamiento local por efecto Joule provocando un aumento de la temperatura por encima del punto de fusión del Si. Con lo cual este tipo de fenómeno podría inducir varios cambios micro-estructurales como los observados en el DBIE [1,2,15].

A pesar de estas investigaciones no existía, hasta el momento, evidencia experimental que permita relacionar el análisis de los daños estructurales (obtenidos con microscopia TEM) con las características del transitorio de ruptura progresiva. Y por

otro lado, era necesario confirmar la presencia del DBIE durante la ruptura progresiva.

En esta parte de la investigación nos concentramos en estos aspectos. Se estudiaron en forma sistemática transistores MOS de sustrato n- y p- con Poly-Si como material de gate, y espesor de óxido de 2nm. Los transistores de longitud y ancho de canal variable entre 0.12 -10 $\mu$ m y 0.15 y 100 $\mu$ m respectivamente.

Los dispositivos fueron sometidos a degradación acelerada a tensión constante en inversión hasta el evento de ruptura.

Durante la degradación, la corriente y tensión fueron medidas con el montaje experimental de la sección 5.2., y el daño en la estructura MOS fue controlado mediante la limitación de la corriente y la desconexión de la tensión aplicada pocos segundos después del evento de ruptura.

Del conjunto de dispositivos analizados, algunos transistores fueron preparados para análisis TEM usando un sistema FIB (Focus-Ion-Beam). La preparación y análisis de las muestras fue realizada, por el Dr. Leong Pey y Dr. Tang del *Microelectronics Center, School of EEE, Nanyang Technological University, Singapore*, en el marco de un convenio de colaboración con el IMM-CNR, en Catania, Italia.

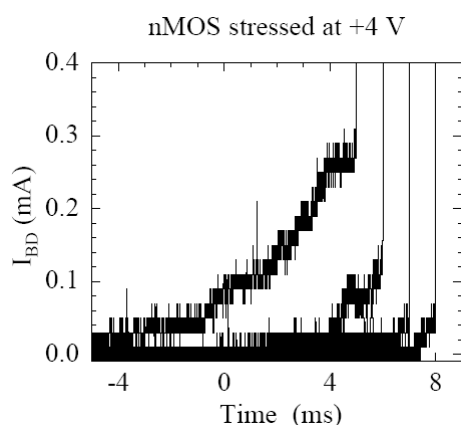
Con esta metodología fue posible obtener de un mismo dispositivo discreto las características de ruptura (i.e. corriente y tensión en función del tiempo) y los cambios estructurales (i.e. análisis TEM).

## **5.6 Análisis TEM del Spot de Ruptura**

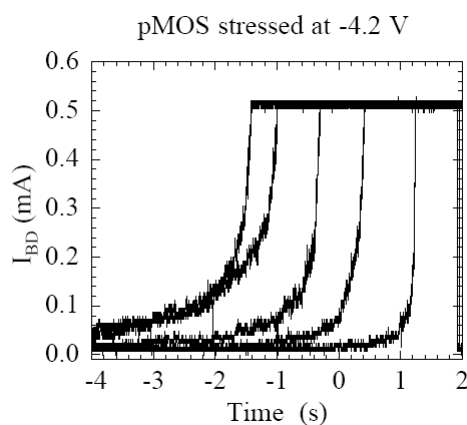
Para estudiar la estructura física del spot, es muy importante realizar las mediciones sobre dispositivos de geometría pequeña, para facilitar la realización del análisis TEM. Además, es fundamental detener la evolución del spot para limitar y controlar la magnitud de los daños en el SiO<sub>2</sub>. Por estas razones se realizaron algunas mediciones con limitación de corriente durante degradación a tensión constante.

En el caso de transistores de canal corto ( $\approx$ 10 $\mu$ m), es posible observar una componente muy rápida el transitorio de ruptura cuando la corriente llega entorno a los 100 $\mu$ A. Esto es visible en la Fig.5.12 para el caso de nMOSFET. Luego que la corriente alcanza en algunos mili-segundos el nivel de 100 $\mu$ A, se tiene un salto a mA en un tiempo de 1 $\mu$ s o menos (este puede ser aun menor debido a la medición es afectada por el ancho de banda de osciloscopio 1 MHz).

Este tipo de efecto no esta presente en pMOSFET. La Fig.5.13 muestra mediciones a +4.2V en inversión con limitación de  $5 \times 10^{-4} \text{A}$ , donde se observa la ruptura progresiva sin componente rápida como el caso anterior.



**FIGURA 5.12:** Mediciones de transitorio de ruptura para nMOSFET a +4V en inversión sin limitación de corriente. Luego de la fase inicial ocurre un aumento brusco de la corriente.

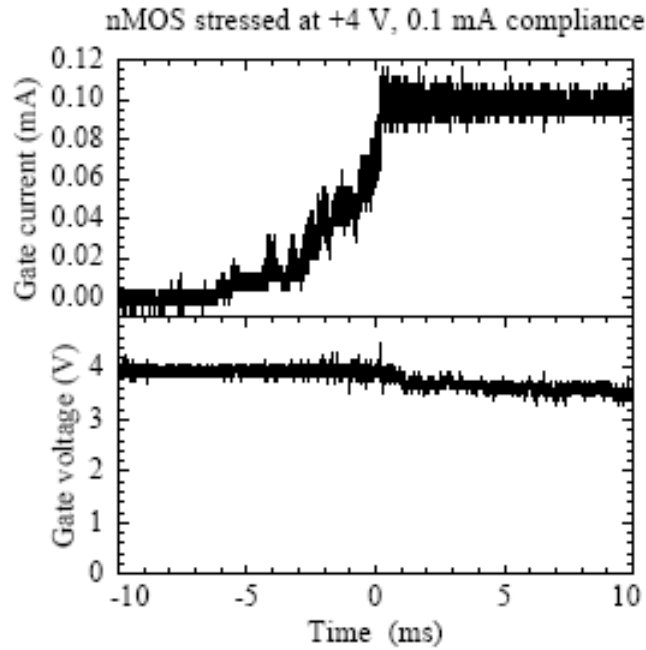


**FIGURA 5.13:** Mediciones de transitorio de ruptura para pMOSFET a -4.2V en inversión con limitación de  $50 \mu\text{A}$ .

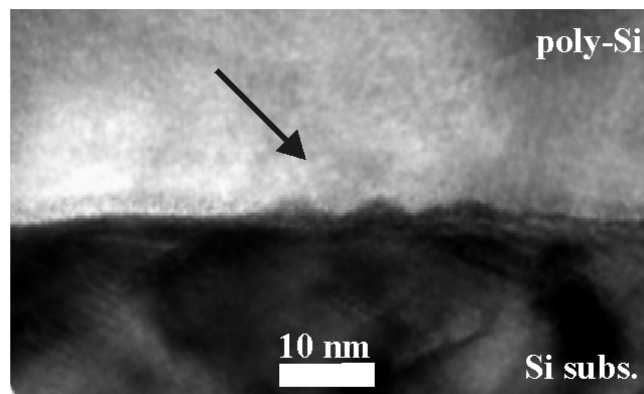
El origen de la componente rápida en nMOSFET no es clara, pero podemos obtener algunas conclusiones importantes de este experimento. De la comparación de las Figs. 5.12 y 5.13 podemos descartar la potencia disipada debido a la geometría y tensiones similares. Pero, por otro lado, la resistencia serie debida al canal o al poly-Si pueden tener un rol importante limitando la densidad de portadores que circular por el spot [16].

La Fig.5.14 muestra en detalle un ejemplo de transitorio con limitación a  $100 \mu\text{A}$  en un nMOSFET a +4 V. El análisis TEM de este dispositivo (Fig.5.15), muestra daño localizado en la interfaz Si-SiO<sub>2</sub>, el cual está formado por montículos de Si crecidos desde el sustrato y orientados hacia el poly-Si. El análisis de alta resolución (no mostrado) revelo que los montículos están ordenados epitaxialmente según el sustrato (efecto DBIE). Notar que la orientación de crecimiento coincide con la dependencia de la según el esquema de la Fig.5.11.





**FIGURA 5.14:** Transitorio de ruptura progresiva en un nMOSFET con limitación de corriente de gate  $100\mu\text{A}$ .



**FIGURA 5.15:** Análisis TEM del spot de ruptura del dispositivo de la Fig.5.12.

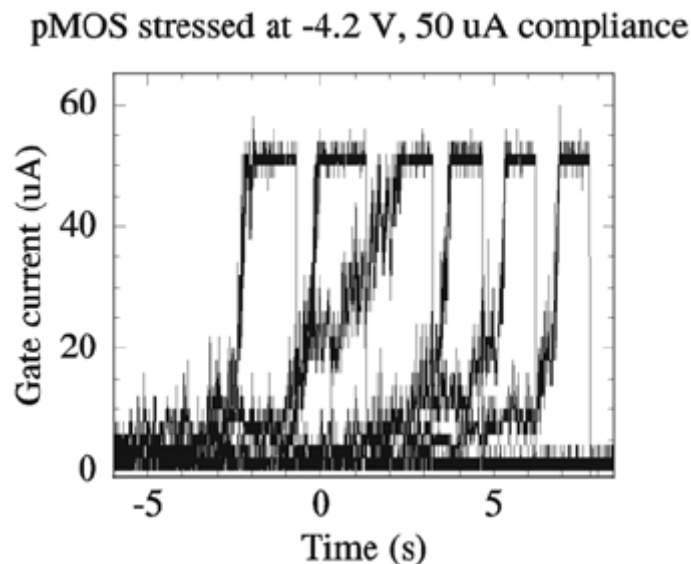
Con esta metodología se analizaron varios transistores pMOSFETs, y se relacionaron las características de conducción post-ruptura (curvas post-BD I-V) con el análisis TEM.

La Fig.5.16 muestra varios ejemplos de ruptura progresiva a  $-4.2\text{V}$  y desconectados de  $V_G$  luego de 3 s cuando la corriente alcanza la limitación de  $50\mu\text{A}$ . Se observa el crecimiento de la corriente hasta el nivel de limitación donde se mantiene algunos segundos para luego descender debido a la desconexión de la tensión  $V_G$ . El

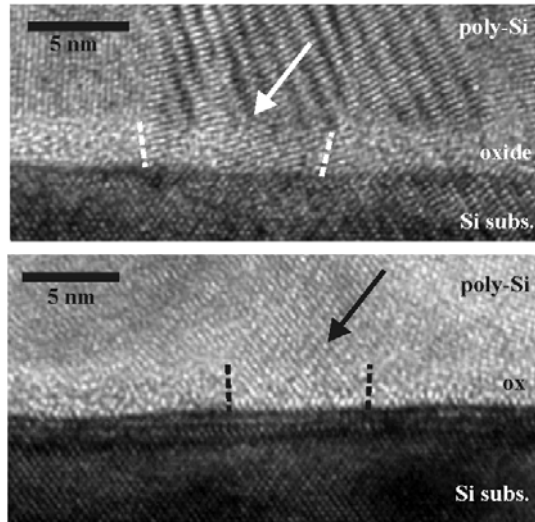
desplazamiento de las curvas es artificial teniendo como objetivo la exposición más clara de las mediciones.

La Fig.5.17 muestra fotografías TEM de alta resolución (HRTEM) de algunos de los dispositivos anteriores (Figs.5.14 y 5.16). Nuevamente se tiene evidencia de pequeños montículos de silicio (en este caso para pMOSFET) con un tamaño lateral de  $\approx 5\text{nm}$  luego de inyectar  $50\ \mu\text{A} \times 3\ \text{s} = 150\ \mu\text{C}$ . Debido a las características de alta resolución es posible identificar el ordenamiento epitaxial de los montículos. En la región señalada por líneas de puntos en la Fig.5.17 es posible notar el ordenamiento similar al poly-Si, mientras en el resto es evidente la naturaleza amorfa del  $\text{SiO}_2$ . Además, a diferencia de los dispositivos nMOSFET (Fig.5.15), en este caso la orientación de crecimiento del DBIE es hacia al sustrato, como se menciona en la Fig.5.11.

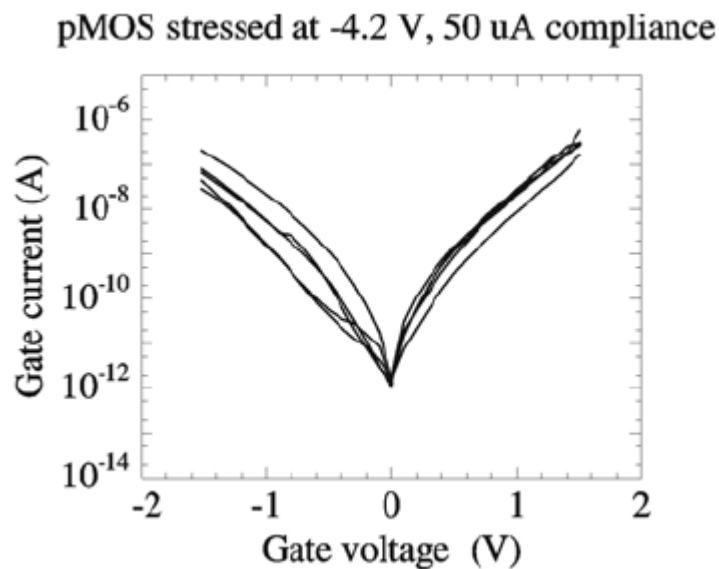
La curvas post-BD I-V de los mismos dispositivos de la Fig.5.16 se observan en la Fig.5.18. A pesar que la posición del spot es aleatoria existe una muy buena reproducibilidad en las características de conducción a un nivel de corriente del orden del nA a 1V. Además, notar que los parámetros  $\alpha$  y  $K$  de estas curvas ( $8$  y  $2 \times 10^{-9}$  respectivamente) coinciden con el comportamiento general de la Fig.5.10.



**FIGURA 5.16:** Transitorios de ruptura en pMOSFET degradados en inversión a  $-4.2\text{V}$  con limitación en la corriente  $50\mu\text{A}$ . Además para controlar el daño, la tensión es desconectada a los pocos segundos del evento de ruptura.



**FIGURA 5.17:** Fotografías TEM de alta resolución (HRTEM) de los dispositivos de las Figs. 5.14 y 5.16. En las imágenes se señala entre líneas punteadas la región DBIE epitaxialmente ordenada según el poly-Si.

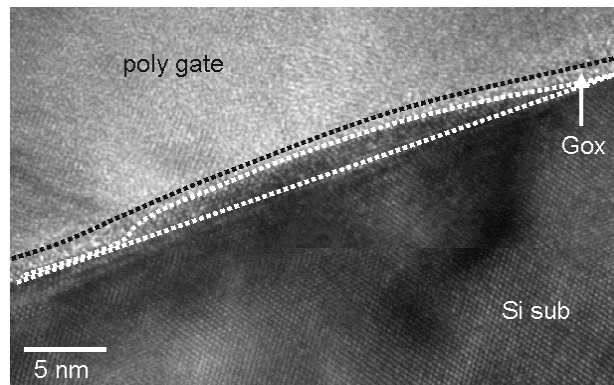


**FIGURA 5.18:** Curvas de corriente vs. tensión luego del evento de ruptura correspondiente a los dispositivos de la Fig.5.16.

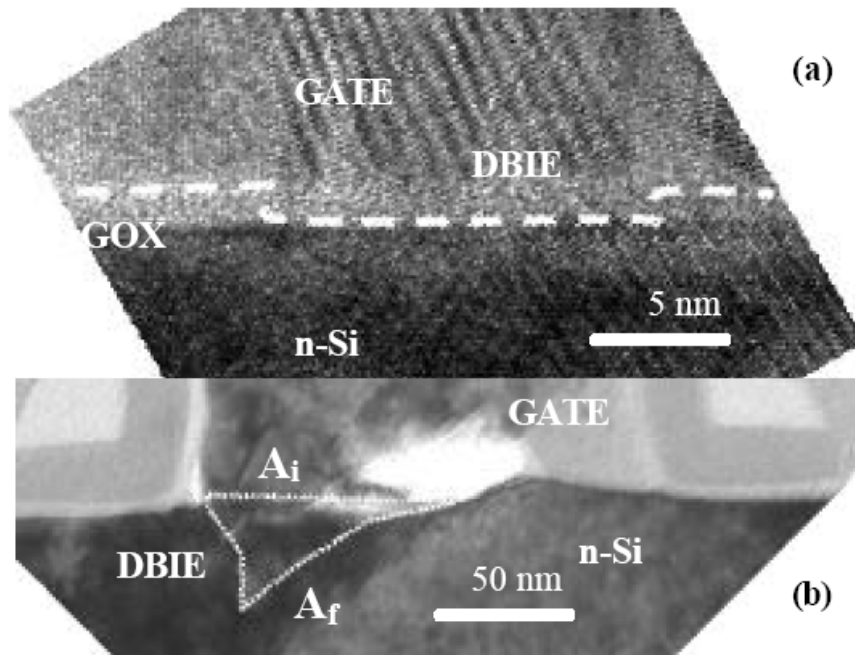
Otro aspecto importante respecto de la estructura física del spot es lo que sucede en la parte del óxido de gate involucrado en el evento de ruptura. La Fig.5.19 muestra una fotografía HRTEM para un nMOSFET luego de la ruptura progresiva a +4V (inversión) en condiciones desfavorables, esto es sin limitación en la corriente de gate y sin dejar de aplicar la tensión  $V_G$  luego del evento.

Se observa claramente las distintas partes de la estructura MOS, el gate de poly-Si, el óxido de gate ( $G_{OX}$ ) y es sustrato p-Si. La HRTEM muestra el montículo típico de Si epitaxial crecido hacia el poly-Si y la capa de óxido cubriendo con continuidad toda la región DBIE (Fig.5.19). En particular es interesante notar como el espesor de  $SiO_2$  se reduce notablemente justo sobre el defecto DBIE.

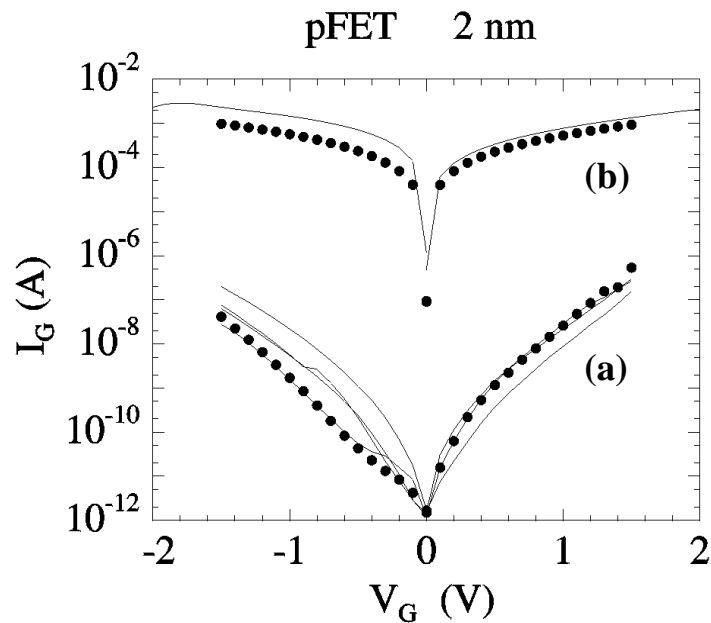
Basándonos en estos resultados y en otros publicados recientemente [3,5,6,15], se concluye que durante la ruptura progresiva el óxido se deforma, disminuyendo el espesor y cubriendo la región DBIE.



**FIGURA 5.19:** Fotografía HRTEM del daño de una ruptura progresiva en un nMOSFET a +4V sin limitación de corriente. Las líneas de puntos identifican las distintas regiones del MOS, el poly-Si gate, el óxido de gate ( $G_{OX}$ ) y el sustrato. Se nota como la capa de  $SiO_2$  se reduce sobre la región de DBIE.



**FIGURA 5.20:** Fotografías HRTEM de los spots de ruptura en pMOSFET degradados en inversión a  $-4.2V$  con distintos niveles de limitación de corriente. (a)  $50\mu A$ , (b)  $300\mu A$ . Para el caso (b)  $A_f \approx 8 \times 10^{-10} \text{ cm}^2$  y  $A_i \approx 2 \times 10^{-11} \text{ cm}^2$ .



**FIGURA 5.21:** Curvas de corriente vs. tensión luego del evento de ruptura con distinta limitación en la corriente (a)  $50\mu\text{A}$  y (b)  $300\mu\text{A}$ . Las curvas marcadas (a) y (b), corresponden a los mismos dispositivos (a) y (b) de la Fig.5.20.

La Fig.5.20 muestra otros dos casos para pMOSFET donde además de la presencia de DBIE, el daño es proporcional al nivel de limitación de corriente. Los dispositivos fueron sometidos a  $-4.2\text{V}$  con limitación de  $50\mu\text{A}$  (Fig. 5.20(a)) y  $300\mu\text{A}$  (Fig. 5.20(b)). En este experimento, la tensión es desconectada luego de 5 s del evento de ruptura.

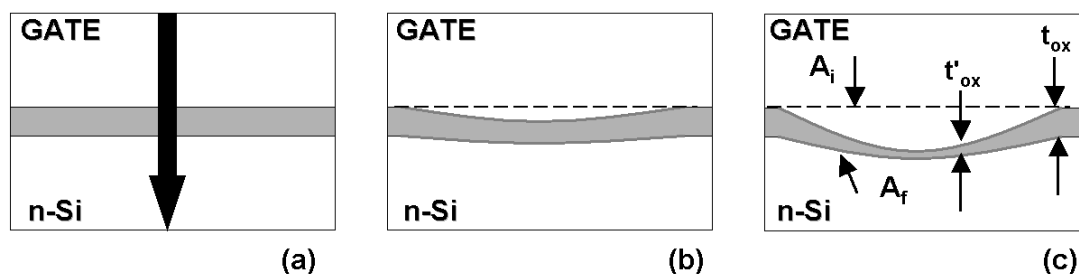
Como esperábamos, el análisis muestra evidencia de montículos nucleados epitaxialmente desde el Poly-Si hacia el substrato (DBIE). En ambos casos la región DBIE presenta un área de contacto con el substrato ( $A_f$ ) y marcada con línea de puntos en Fig.5.20) mucho más grande que el área de la base de la misma región ( $A_i$ ). A partir del resultado de la Fig.5.20 se puede asumir que  $A_f$  crece y se expande a medida que aumenta el nivel de limitación de corriente.

Por otro lado, las curvas post-BD I-V (Fig.5.21) también pueden ser analizadas en función de los resultados TEM. Se encontró que la ruptura causa mas daño a medida que el nivel de limitación de corriente aumenta. Las curvas marcadas (a) y (b) en la Fig.5.21 se corresponden exactamente con los dispositivos (a) y (b) de la Fig.5.20.

Respecto de la correlación de la Fig.5.10, estas curvas poseen parámetros  $\alpha$  y  $K$  que entran en la tendencia, con  $\alpha$  y  $K$ ,  $8$  y  $2 \times 10^{-9}$ ,  $2$  y  $5 \times 10^{-4}$  para las curvas (a) y (b) respectivamente. La curva (a) de la Fig.5.21 y las curvas marcadas con líneas de puntos en la Fig.5.8 (estas curvas están fuera de la tendencia de la Fig. 5.10) corresponden a un modo distinto de ruptura ya que en el primer caso el daño es reducido por limitación de corriente, y en el último la ruptura pudo haberse causado por algún efecto extrínseco como se menciona en [14].

### 5.7 Modelo Post-Ruptura

Dada la presencia del efecto DBIE observado experimentalmente en la sección anterior, es posible obtener información para realizar la modelización de las características de I-V de post-ruptura, basándonos en aspectos geométricos.



**FIGURA 5.22:** Esquema de la estructura MOS mostrando la evolución de los daños bajo ruptura progresiva. (a) Estado inicial, antes de la degradación. (b) Estado intermedio de daños. Presencia de DBIE con una baja deformación. (c) Estado alto de daños, reflejado en la deformación de la capa de  $\text{SiO}_2$ . La flecha en (a) marca el sentido de circulación de los electrones.  $A_f$  es el área de contacto del DBIE con el sustrato, y  $A_i$  es el área de base de la misma región. El área encerrada por la línea de puntos representa el montículo de Si crecido en el volumen del  $\text{SiO}_2$ .

El análisis mediante microscopía TEM reveló cambios estructurales, bajo ruptura progresiva, que pueden ayudar a considerar aproximaciones para modelar la corriente de post-ruptura. Básicamente se mostró convincentemente en las secciones anteriores que el daño es puntual gobernado por el efecto DBIE (Dielectric-Breakdown-Induced-Epitaxy), donde la dependencia con la polaridad de la orientación es una característica importante. Por otro lado, la magnitud de los daños es controlada por la limitación de corriente del circuito externo y el óxido de gate tiende a cubrir la región donde se generan los montículos DBIE.

Con estas consideraciones parece razonable asumir que la corriente de post-ruptura se debe mayoritariamente a túnel de portadores (electrones) a través del área de contacto  $A_f$  entre DBIE y el sustrato (o lo que quede luego de la ruptura). Además la región presenta una disminución del espesor original.

Para evaluar la magnitud de reducción del óxido de gate en la región de contacto  $A_f$  se asume la conservación de masa en el volumen del  $\text{SiO}_2$ . La situación se ilustra en la Fig.5.22. El crecimiento de los montículos DBIE desplaza el volumen inmediato de  $\text{SiO}_2$ , aumentando el área de contacto  $A_f$  y por conservación de masa disminuye el espesor  $t_{OX}$ . De esta forma se asume que la reducción de  $t_{OX}$  viene dada por:

$$t'_{ox} = t_{ox} \times A_i / A_f \quad (5.1)$$

donde el espesor de óxido inicial  $t_{OX}$  es reducido por un factor, dado por el cociente de las áreas de contacto ( $A_i / A_f$ ) del DBIE con el  $\text{SiO}_2$  ( $A_f$ ) y con el sustrato ( $A_i$ ).

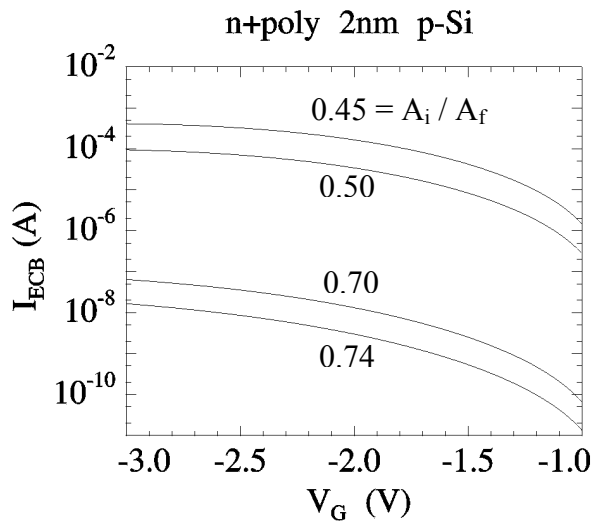
En este contexto, la corriente de post-ruptura se puede calcular simplemente como la densidad de corriente, en régimen directo, a través del área  $A_f$  con un espesor de óxido reducido.

$$I_{POST-BD} = A_f \times J_{DT}(t'_{ox}) \quad (5.2)$$

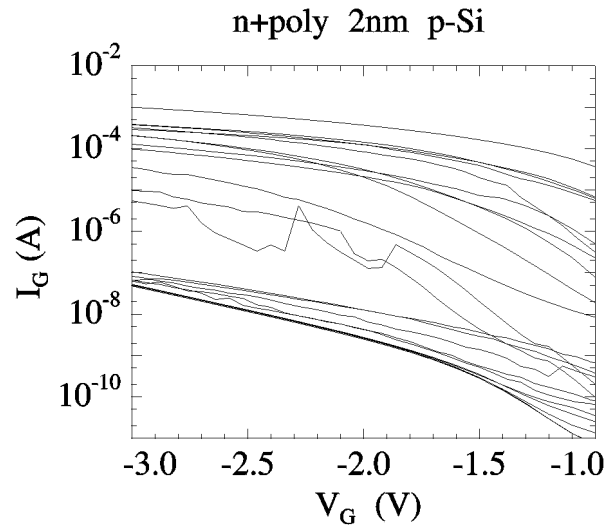
Usando la expresión 5.2, la corriente de post-ruptura es calculada y comparada con datos experimentales. Para el cálculo de  $J_{DT}$  se utilizó la expresión propuesta en [17], y detallada en la sección 2.1.2.

Se estudiaron las curvas post-BD I-V de dos conjuntos de mediciones, las Figs.5.8 y 5.9 para capacitores degradados en acumulación, y las Fig.5.18 y 5.21 para transistores pMOSFET degradados en inversión.

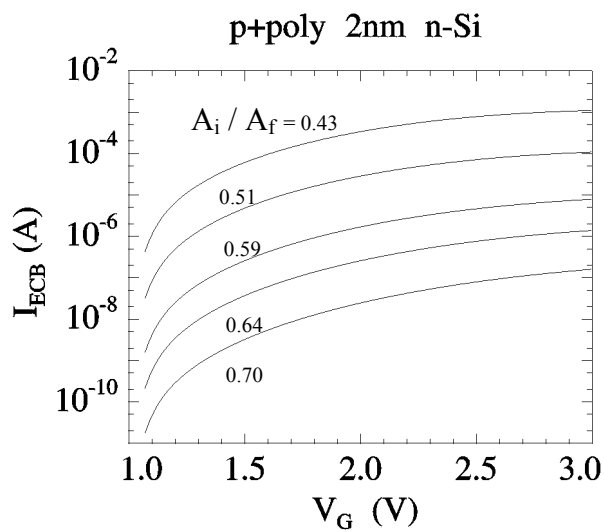
Básicamente se encontró que este modelo, basado solamente en consideraciones geométricas, reproduce adecuadamente los aspectos fundamentales de las mediciones considerando  $A_i$  y  $A_f$  como parámetros de ajuste.



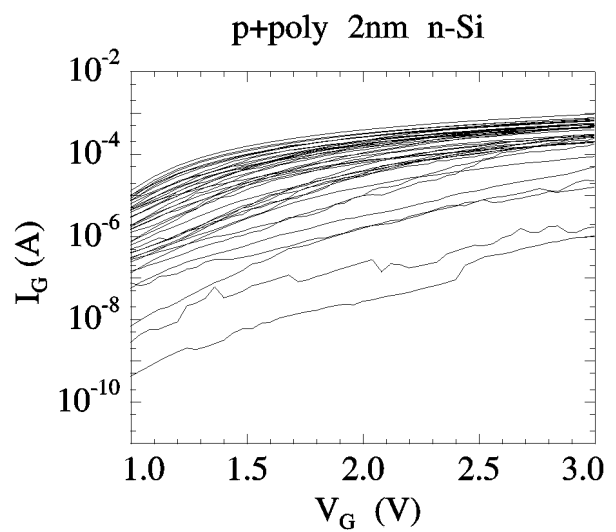
**FIGURA 5.23:** Modelo de corriente post-ruptura en capacitores n<sup>+</sup>poly/2nm/p-Si. Notar la coincidencia con las mediciones de la Fig.5.8.



**FIGURA 5.8:** Curvas I-V de post-ruptura para muestras n<sup>+</sup>poly/2nm/p-Si degradadas a tensión constante  $V_G$  en el rango de  $-3.8$  a  $-5.8$  V, sin limitación en la corriente.



**FIGURA 5.24:** Modelo de corriente post-ruptura en capacitores p<sup>+</sup>poly/2nm/n-Si. Notar la coincidencia con las mediciones de la Fig.5.9.



**FIGURA 5.9:** Curvas I-V de post-ruptura para muestras p<sup>+</sup>poly/2nm/n-Si degradadas a tensión constante  $V_G$  en el rango de  $+3.7$  a  $-6.1$  V, sin limitación en la corriente.

Las Figs.5.23 y 5.24 muestran el modelo de post-ruptura para capacitores n<sup>+</sup>poly/2nm/p-Si y p<sup>+</sup>poly/2nm/n-Si respectivamente, donde  $A_f$  y  $A_i$  son parámetros de ajuste respecto de la mediciones de las Figs. 5.8 y 5.9. En general se observa una



buena coincidencia entre los datos experimentales (en acumulación, en el caso de los capacitores) particularmente a altas tensiones.

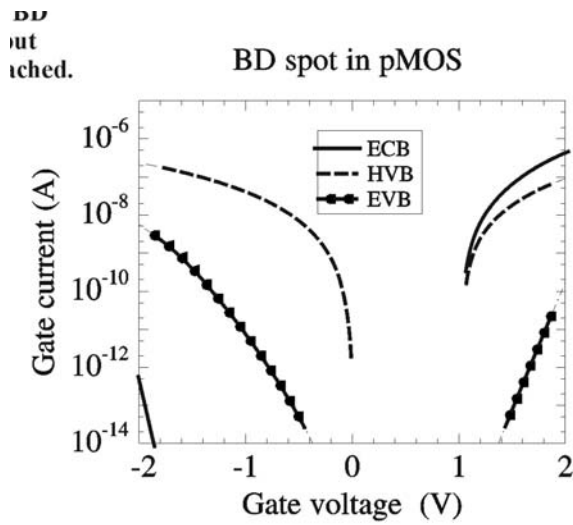


FIGURA 5.25: Modelo de corriente post-ruptura en pMOSFET.  $Ai=4 \times 10^{-13} \text{ cm}^2$ ,  $Af=2.5 \times Ai$ .

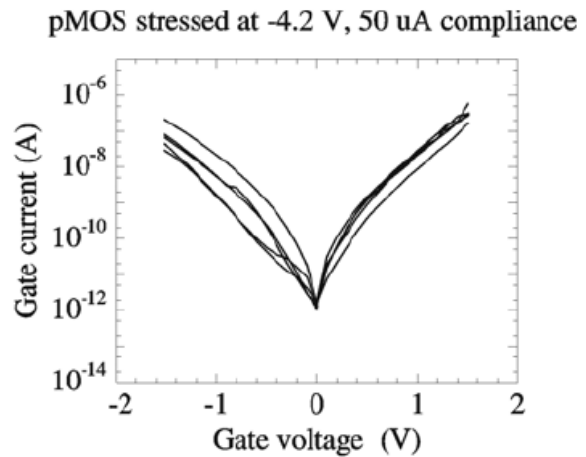


FIGURA 5.18: Curvas de corriente vs. tensión luego del evento de ruptura correspondiente a los dispositivos de la Fig.5.16.

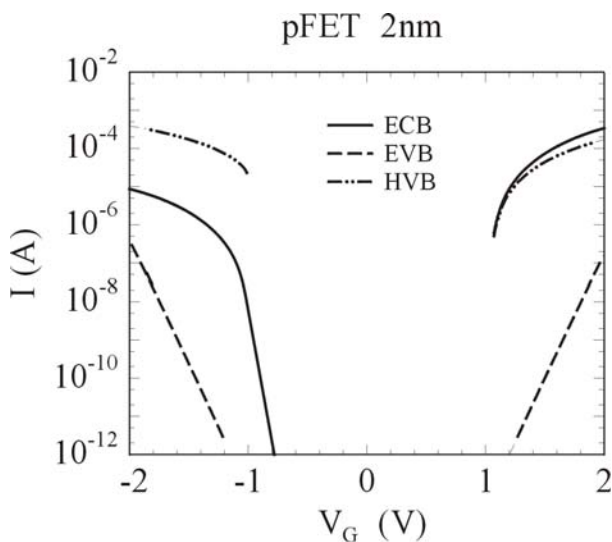


FIGURA 5.26: Modelo de corriente post-ruptura en pMOSFET.  $Ai=2 \times 10^{-11} \text{ cm}^2$ ,  $Af=40 \times Ai$ .

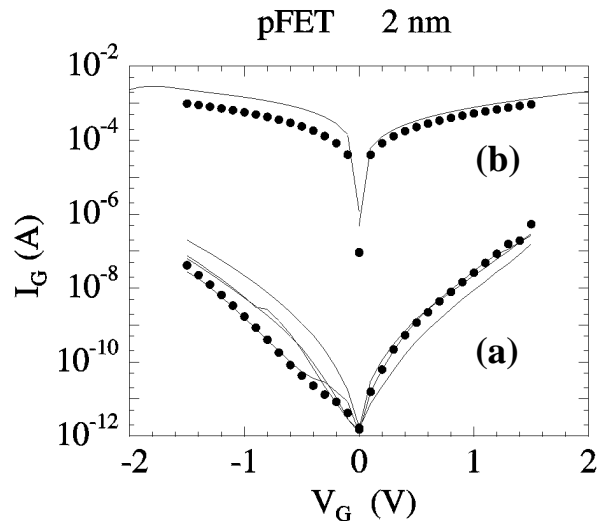


FIGURA 5.21: Curvas de corriente vs. tensión luego del evento de ruptura con distinta limitación en la corriente (a)  $50 \mu\text{A}$  y (b)  $300 \mu\text{A}$ . Las curvas marcadas (a) y (b), corresponden a los mismos dispositivos (a) y (b) de la Fig.5.20.

El modelo reproduce la dinámica de ruptura mostrada mediante el análisis TEM. Variando el valor del área superior de la región DBIE,  $A_f$ , y por lo tanto el área del spot de ruptura y el cociente  $A_i/A_f$ , (donde  $A_i < A_f$  según el análisis TEM) es posible variar varios ordenes de magnitud el nivel de corriente (Fig 5.23 y 5.24).

La evolución de la corriente en ruptura progresiva queda bien representada por el crecimiento de la región DBIE, que se corresponde al aumento de  $A_f$  y la disminución de  $A_i/A_f$  (i.e.  $t_{OX}$ ). Notar que el modelo da una buena representación de la corriente de post-ruptura considerando la dimensión adecuada del spot, por ej. la Fig.5.20.

Las características de post-ruptura I-V fueron estudiadas en ambos regímenes, inversión y acumulación, para pMOSFET. Las Fig. 5.25 y 5.26 muestran los resultados.

De la comparación con los datos experimentales (Fig.5.18 y 5.21) se nota una concordancia especialmente a altas tensiones, entre 1V y 1.5V. Para este caso tiene sentido considerar todas las componentes de la corriente de gate post-ruptura (ECB: electrones banda de conducción, EVB: electrones banda valencia y HVB: huecos banda valencia). Se observa que la corriente posee un origen distinto para polaridad positiva y negativa (electrones y huecos respectivamente), y que en ambos casos se tiene una coincidencia aceptable con las mediciones.

En general podemos asumir que el modelo propuesto da una explicación satisfactoria de la corriente a tensiones relativamente alta. A bajas tensiones se encuentran algunas diferencias. La razón de estas pueden relacionarse con la necesidad de una mejor descripción de la formación de las capas de acumulación e inversión en la región cercana al DBIE.

## **Resumen del Capítulo 5**

En este capítulo estudiamos los aspectos fundamentales de la fase final de ruptura del SiO<sub>2</sub>. Particularmente, se investigaron los parámetros físicos que determinan la dinámica, las características de conducción post-ruptura y estructura física del daño.

Se dispuso de un montaje experimental que permitió medir el evento con resolución temporal adecuada (hasta el nano-segundo) y controlar la magnitud del daño en el SiO<sub>2</sub> mediante la limitación de la circulación de corriente. Este último aspecto fue fundamental para obtener buenos resultados experimentales.

La estructura física del spot de ruptura fue caracterizada mediante microscopía TEM (esta parte de la investigación fue realizada por el *Microelectronics Center, School of EEE, Nanyang Technological University, Singapore*). A partir de esta investigación, fue posible correlacionar las características de la ruptura progresiva y la conducción luego de la ruptura con la estructura física del spot.

Los resultados de este capítulo mostraron que:

(i) La ruptura progresiva es el modo de ruptura dominante en óxidos delgados. Para el caso de poly-Si gates, se realizaron mediciones sistemáticas de ruptura en un amplio rango de tensión y se encontró una fuerte dependencia de la velocidad de crecimiento DR con la tensión  $V_G$  de 3-5 dec/V hasta 5V. Para valores superiores, el modo de ruptura cambia presentando transitorios muy rápidos.

(ii) Las muestras con Tungsteno, como material de gate, presentan un transitorio rápido (del orden del nano-segundo) en todo el rango de tensiones estudiadas, y una disminución posterior de la corriente.

(iii) Las características de conducción post-ruptura (esto es, curvas I-V luego del transitorio de ruptura progresiva) fueron representadas en término de una expresión del tipo  $I=K.V^\alpha$ . Se encontró una buena correlación, lo que sugeriría, un daño estructural definido. Para investigar este aspecto se realizó análisis TEM.

(iv) El daño definido como DBIE (Dielectric-Breakdown-Induced-Epitaxy) resultó ser el efecto dominante asociado a la ruptura progresiva. Los análisis TEM sobre dispositivos donde ocurrió ruptura progresiva, mostraron que el DBIE es el daño dominante en condiciones favorables.

Se determinó la dependencia del tamaño de la región DBIE con la limitación de corriente, y se caracterizó la deformación de la capa de SiO<sub>2</sub> próxima al DBIE.

(v) Es posible modelar las curvas de post-ruptura sobre la base de las características del DBIE. Se encontró que la capa de SiO<sub>2</sub> cercana a la región DBIE, presenta básicamente una disminución del espesor del óxido. A partir de la conservación del

volumen del SiO<sub>2</sub>, se propuso un modelo de conducción que representa adecuadamente las mediciones experimentales.

Los resultados de este capítulo fueron publicados en las siguientes conferencias y revistas:

“Structure of the Oxide Damage under Progressive Breakdown”

**F. Palumbo**, G. Condorelli, S. Lombardo, K.L. Pey, C.H. Tung, L.J. Tang

Microelectronics Reliability, EN PRENSA.

Proceedings at WoDim 2004, Workshop on Dielectrics in Microelectronics. 28-30 June 2004, Co. Cork, Ireland.

“Dielectric breakdown mechanisms in gate oxides”

S. Lombardo, J. H. Stathis, B. P. Linder, K.L. Pey, **F. Palumbo**, and C. H. Tung

Invited Review on Journal of Applied Physics (2004), EN PRENSA.

“Reliability of MOS devices with Tungsten gates”

**F. Palumbo**, S. Lombardo, J. H. Stathis, V. Narayanan, R. McFeely, and J. J. Yurkas.

Microelectronic Engineering, Volume 72, Issues 1-4, Pages 45-49, April 2004.

Proceedings of the 13th Biennial Conference on Insulating Films on Semiconductors.

“Percolation path and dielectric-breakdown-induced-epitaxy evolution during ultrathin gate dielectric breakdown transient”

Chih Hang Tung, Kin Leong Pey, Lei Jun Tang, M. K. Radhakrishnan, Wen He Lin, **Felix Palumbo** and Salvatore Lombardo  
Applied Physics Letters. Vol.83.No.1, 2223-2226, (2003).

Conferencias:

“BD transient in ultra-thin gate oxynitrides”

S. Lombardo, **F. Palumbo**, J. H. Stathis, B. P. Linder, K.L. Pey, C. H. Tung

Proceedings at the ICICDT 2004. International Conference on IC Design and Technology. Austin, TX, May 2004.

“Geometry Dependence of Gate Oxide Breakdown Evolution”

S. Yuan, K.L. Pey, C.H. Tung, S. Lombardo, **F. Palumbo**, L J Tang and M K Radhakrishnan

Proceedings at the IPFA 2004 11th IEEE INTERNATIONAL SYMPOSIUM ON THE PHYSICAL AND FAILURE ANALYSIS OF INTEGRATED CIRCUITS. July 5-8, 2004, Hsinchu, Taiwan.

“Structural analysis of Breakdown in ultra-thin gate dielectric using Transmission Electron Microscopy”

K.L. Pey, C.H. Tung, L.J. Tang, M.K. Radhakrishnan, W.H. Lin, , S. Lombardo, **F. Palumbo**.

Proceedings at the IPFA 2004 11th IEEE INTERNATIONAL SYMPOSIUM ON THE PHYSICAL AND FAILURE ANALYSIS OF INTEGRATED CIRCUITS. July 5-8, 2004, Hsinchu, Taiwan.

“Structure of the Breakdown Spot During Progressive Breakdown of Ultra-Thin Gate Oxides”

**F. Palumbo**, S. Lombardo, K.L. Pey, L.J. Tang, C.H. Tung, W.H. Lin, M.K. Radhakrishnan, G. Falci

Proceedings at the International Reliability Physics Symposium IRPS 2004. April, USA.

“Degradation of Ultra-Thin Oxides with Tungsten Gates under High Voltage: Wear-out and Breakdown Transient”

**F. Palumbo**, S. Lombardo, J. H. Stathis, V. Narayanan, F. R. McFeely, and J. J. Yurkas

Proceedings at the International Reliability Physics Symposium IRPS 2004. April, USA.

## Referencias Capítulo 5

- [1] S. Lombardo, F. Crupi, A. La Magna, C. Spinella, A. Terrasi, A. La Mantia, B. Neri, *J. Appl. Phys.* 84, 472, (1998).
- [2] S. Lombardo, "Intrinsic dielectric breakdown of ultra-thin gate oxides" *Microelectronic Engineering* 59, 33–42, (2001)
- [3] C. H. Tung, K. L. Pey, W. H. Lin, and M. K. Radhakrishnan, "Polarity-Dependent Dielectric Breakdown-Induced Epitaxy (DBIE) in Si MOSFETs", *IEEE Electron Device Lett* 23(9), 526, (2002).
- [4] M. Porti, M. Blum, M. Nafria, X. Aymerich, *Proceedings of the International Reliability Physics Symposium*, 380, 2004.
- [5] K.L. Pey, R. Ranjan, C.H. Tung, L.J. Tang, W.H. Lin and M.K. Radhakrishnan", GATE DIELECTRIC DEGRADATION MECHANISM ASSOCIATED WITH DBIE EVOLUTION", *Proceedings of the International Reliability Physics Symposium*, 2004.
- [6] F. Palumbo, S. Lombardo, K.L. Pey, L.J. Tang, C.H. Tung, W.H. Lin, M.K. Radhakrishnan, G. Falci "Structure of the Breakdown Spot During Progressive Breakdown of Ultra-Thin Gate Oxides", *Proceedings of the International Reliability Physics Symposium*, 2004.
- [7] B.P. Linder, S. Lombardo, J.H. Stathis, A. Vayshenker, D. Frank, *IEEE Trans. Electron Dev.* 23(11), 661, (2002).
- [8] S. Lombardo, J. Stathis, B.P. Linder, *Phys. Rev. Lett.* 90(16), (2003).
- [9] F. Monsieur, E. Vincent, G. Ribes, V. Huard, S. Bruyere, D. Roy, G. Pananakakis, G. Ghibaudo, *Proceedings of the International Reliability Physics Symposium*, 424, 2003.
- [10] R. Rodriguez, J.H. Stathis, B.P. Linder, S. Kowalczyk, C.T. Chuang, R.V. Joshi, G. Northrop, K. Bernstein, A.J. Bhavnagarwala, S. Lombardo, *IEEE Electron Device Lett* 23, 559, (2002).
- [11] A.H. Verbruggen, "Fundamental questions in the theory of electromigration", *IBM J. Develop.* Vol.32, No1, 93-98, (1988).
- [12] T. Sakura, H. Utsunomiya, Y. Kamakura and K. Taniguchi, "A detail study of soft and pre-soft breakdown in small geometry MOS structures", *Proceedings of IEDM*, 98-103, 1998.
- [13] E. Miranda, J. Sune, R. Rodríguez, M. Nafria, and X. Aymerich, *IEEE Electron Device Lett* 20(6), 265, (2002).
- [14] J. Sune, E. Y. Wu, D. Jiménez, R. P. Vollersten, E. Miranda, *IEDM*, 117 – 120 (2001).

- [15] C.H. Tung, K.L. Pey, L.J. Tang, M.K. Radhakrishnan, W.H. Lin, F. Palumbo, S. Lombardo, "Percolation path and dielectric-breakdown-induced-epitaxy evolution during ultrathin gate dielectric breakdown transient", *Appl.Phys. Lett.* 83(11), 2003.
- [16] T. Hosoi, P.Lo Re, Y. Kamakura, and K. Taniguchi, "A New model of time evolution of gate Leakage current after soft breakdown in ultra-thin gate oxides", *Proceedings of IEDM*, 115, 2002.
- [17] Wen-Chin Lee and Chenming Hu, "Modeling CMOS Tunneling Currents Through Ultra-thin Gate Oxide Due to conduction and Valence band electron and hole tunneling". *IEEE Trans. Electron Devices*, vol.48, No.7, 1366, (2001).

## Conclusiones

Las distintas experiencias realizadas en este trabajo permitieron estudiar todas las fases de la degradación del óxido de puerta en estructuras MOS hasta el incremento final de la corriente asociada a su ruptura dieléctrica.

Se investigó y se encontró un modo de comparar la degradación asociada a distintas clases de condiciones severas a las que se somete al dispositivo en su funcionamiento: esfuerzo eléctrico y radiación.

Se aportó a una temática de interés tecnológico, cual es la influencia del material de gate en la degradación del óxido. Dicho núcleo fue comentado con unos aportes sobre la influencia del material de gate en los procesos degradantes y sobre la dinámica de la ruptura del óxido.

Las conclusiones principales en cada uno de los temas mencionados son:

Es posible asumir un mecanismo en común en la creación de estados de interfaz para degradación por radiación gamma y por inyección de portadores desde los electrodos.

La comparación de la densidad de estados de interfaz en función de la carga atrapada confirmaría que mecanismos como captura de huecos y/o especies hidrogenadas y neutralización de huecos por electrones inyectados son las fuentes de generación de estados interfaciales. Este trabajo ayudaría a discriminar las condiciones en que un mecanismo predomina sobre los demás.

Los resultados podrían contribuir al desarrollo de un método de predicción y evaluación de los efectos de la radiación a través de la respuesta a inyecciones adecuadas en condición Fowler-Nordheim.

Los resultados de la comparación de la degradación de dispositivos con gate de Tungsteno con la que ocurre en gate de poly-Si convencional, desmintieron las hipótesis previas que suponían que la diferencia de funciones trabajo de ambos materiales daría lugar a diferencias visibles en el proceso de degradación por inyección cuando el gate funciona como ánodo. La observación de que las diferencias ocurren en la polaridad opuesta sugiere mecanismos alternativos a la inyección de huecos (liberación y migración de especies hidrogenadas, excitación de plasmones en la superficie catódica) como principal causa de degradación en tales casos.

Los daños microscópicos causados en el óxido de gate durante la ruptura progresiva fueron estudiados combinando la caracterización eléctrica con el análisis de microscopía TEM de alta resolución. Se mostró que los defectos y daños no sólo se

producen en la capa dieléctrica, los cambios físicos y micro-estructurales de los electrodos (poly-Si y substrato) tienen un rol fundamental en el evento de ruptura.

Finalmente, queremos señalar que la ruptura dieléctrica es un fenómeno muy complejo. En concreto, no puede pensarse que un solo mecanismo sea responsable de la ruptura independientemente de la naturaleza del material y de las condiciones de degradación. Nuestro trabajo constituye una contribución al estudio de casos particulares en este sentido.