



Verificación Funcional de Sistemas Digitales Basada en Aserciones (Assertion-Based Verification)

Programa:

- 1) Verificación Tradicional**
 - Verificación de cores IP
 - Conceptos y terminología
 - Flujo de verificación
 - Plan de verificación
 - Inspección
 - Adversarial testing
 - Diseño de Testbenches
 - Diseño de componentes de verificación
 - Cobertura de código
 - Verificación de timing
- 2) Una Introducción a la Verificación**
 - Bases de la verificación y terminología básica
 - Lenguajes de verificación
 - El caso de SystemVerilog
 - Lo nuevo en VHDL 2008: Mejoras en la parametrización. Integración del lenguaje PSL (Property Specification Language) en VHDL. Mecanismos de encriptación de secciones de código VHDL. VHDL Procedural Interface (VHPI). Cambios en los tipos y operaciones nativas. Cambios en las sentencias. Mejoras en la capacidad expresiva del lenguaje. El futuro de VHDL: Orientación a objetos, aleatorización, cobertura funcional.
- 3) Verificación Basada en Aserciones**
 - Estructura de las aserciones
 - Cómo escribir aserciones
 - Property Specification Language (PSL)
 - Uso de PSL en QuestaSim
- 4) Verificación Basada en Aserciones (ABV) Avanzada**
 - Metodología de cobertura funcional
 - Assertion Patterns
 - Verification Libraries
 - Open Verification Library (OVL)
- 5) Verificación Formal**
 - Introducción a la verificación formal
 - Comprobación de equivalencia
 - Comprobación de propiedades

12.- BIBLIOGRAFÍA (indicar título del libro, autor, Editorial y año de publicación)(adjuntada)

1. Harry D. Foster, Adam C. Krolnik, David J. Lacey, "Assertion-Based Design", 2nd edition, Springer, 2004. (ISBN: 1402080271).
2. Bruce Wile, John Goss, Wolfgang Roesner, "Comprehensive Functional Verification: The Complete Industry Cycle", Morgan Kaufmann, 2005. (ISBN: 0127518037)



3. Michael Keating and Pierre Bricaud, "Reuse Methodology Manual for System-on-a-Chip Designs", 3rd Edition, Kluwer Academic Publishers, 2002. (ISBN: 1-4020-7141-8).
4. Janick Bergeron, "Writing Testbenches: Functional Verification of HDL Models", Second Edition, Springer, 2003. (ISBN: 1402074018).
5. J. Bergeron, "Writing Testbenches Using SystemVerilog", Springer, 2006. (ISBN-10: 0-387-29221-7).
6. M. Mintz, R. Ekendahl, "Hardware verification with SystemVerilog: An object-oriented framework", Springer, 2007. (ISBN-10: 0-387-71738-2).
7. Cadence Designs Systems and Mentor Graphics Inc., "Open Verification Methodology User Guide" Version 2.0, 2008, available at <http://www.ovmworld.org>
8. Glasser, Mark, "Open Verification Methodology Cookbook", Springer, 2009, (ISBN: 978-1-4419-0967-1)
9. S. Iman, "Step-by-step functional verification with SystemVerilog and OVM", Hansen Brown Publishing, May 2008. (ISBN-10: 0-9816562-1-8).
10. Ashenden, Peter, "The designer's guide to VHDL, 2nd Edition", Morgan Kaufmann, 2002. (ISBN: 1558606742).
11. Ashenden, Peter J. and Jim Lewis, "VHDL-2008 just the new stuff", Amsterdam, Elsevier Morgan Kaufmann, 2008. (ISBN: 9780123742490).
12. Sutherland, Stuart, "SystemVerilog for design a guide to using SystemVerilog for hardware design and modeling" 2nd ed. Springer, 2006. (ISBN: 0387333991).
13. Bhasker, Jayaram, "A Verilog HDL primer", Star Galaxy, 2005. (ISBN: 0965039161).
14. "IEEE Standard for System Verilog-Unified Hardware Design, Specification, and Verification Language", IEEE Std 1800-2009, 2009.
15. "Standard for SystemVerilog – Unified Hardware Design, Specification, and Verification Language," IEC 62530:2007 (E)/ IEEE Std 1800-2007, 2007. (ISBN: 978-0-7381-5726-9)
16. "IEEE Standard VHDL Language Reference Manual," IEEE Std 1076-2008 (Revision of IEEE Std 1076-2002), 2009. (ISBN: 978-0-7381-5801-3).
17. "IEEE Std 1666 – 2005 IEEE Standard SystemC Language Reference Manual," IEEE Std 1666-2005, vol., no., pp. 0_1-423, 2006. (ISBN: 0-7381-4871-7).
18. Jayanta Bhadra, Magdy S. Abadir and Li-C. Wang, "A Survey of Hybrid Techniques for Functional Verification", IEEE Design & Test of Computers, pp 112-122, March-April 2007.


Dr. Alejandro N. Rios
Departamento de Computación
FCEyN UBA



Universidad de Buenos Aires
Facultad de Ciencias Exactas y Naturales

Referencia Expte. N° 500.318/2011

Buenos Aires, 14 NOV 2011

VISTO:

la nota presentada por el Dr. Sebastián Uchitel, Director del Departamento de Computación, mediante la cual eleva la información y el programa del curso de posgrado **Verificación funcional de sistemas digitales basada en aserciones (Assertion-based verification)**, dictado en el segundo cuatrimestre de 2010 dictado por el Dr. Elías Todorovich,

el CV del Dr. Elías Todorovich

CONSIDERANDO:

que las presentes actuaciones no fueron presentados en tiempo y forma por un error administrativo,
lo actuado por la Comisión de Doctorado de esta Facultad el 25/10/2011,
lo actuado por la Comisión de Enseñanza, Programas, Planes de estudio y Posgrado
lo actuado por este Cuerpo en la sesión realizada en el día de la fecha,
en uso de las atribuciones que le confiere el Artículo 113° del Estatuto Universitario,

**EL CONSEJO DIRECTIVO DE LA FACULTAD DE
CIENCIAS EXACTAS Y NATURALES
RESUELVE:**

Artículo 1°: Dar validez al dictado del curso de posgrado **Verificación funcional de sistemas digitales basada en aserciones (Assertion-based verification)** de 15 hs. de duración, en el segundo cuatrimestre de 2010.

Artículo 2°: Aprobar el programa del curso de posgrado **Verificación funcional de sistemas digitales basada en aserciones (Assertion-based verification)**, obrante a fs 3 y 4 del expediente de referencia.

Artículo 3°: Aprobar un puntaje máximo para la Carrera de Doctorado de 0,5 (cero coma cinco) puntos

Artículo 4°: Aprobar un arancel de 20 Módulos. Disponer que los montos recaudados serán utilizados conforme a lo dispuesto por Resolución CD N° 072/03.

Artículo 5°: Comuníquese al Director del Departamento de Computación, a la Biblioteca de la FCEyN, a la Biblioteca de la FCEyN y a la Subsecretaría de Postgrado (con fotocopia del Programa incluido)

Artículo 6°: Comuníquese al Departamento de Alumnos (sin fotocopia del programa incluido). Cumplido Archívese.

Resolución CD N° 2866 ==
SP/1ga/25/10/2011


JAVIER LÓPEZ DE CASENAVE
SECRETARIO ACADEMICO


Dr. JORGE ALIAGA
DECANO