

C. 1997
LE ✓

UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE CIENCIAS EXACTAS Y NATURALES

1. DEPARTAMENTO: Computación
2. CUATRIMESTRE: Segundo de 1997.
3. ASIGNATURA: MICROARQUITECTURA DE LOS PROCESADORES ESCALARES
4. CARRERA: Licenciatura en Ciencias de la Computación
5. CARACTER DE LA MATERIA: Optativa
6. NUMERO DE CODIGO DE CARRERA: 18
7. NUMERO DE CODIGO DE MATERIA:
8. PUNTAJE: 1 punto (planes 87 y 93)
9. PLAN DE ESTUDIOS AÑO: 1987 y 1993.
10. DURACION DE LA MATERIA: Semanal
11. HORAS DE CLASE SEMANAL:
a)TEORICAS 15 HS. c)PROBLEMAS HS.
b)LABORATORIO d)SEMINARIOS
12. CARGA HORARIA TOTAL: 15 HORAS
13. ASIGNATURAS CORRELATIVAS: Conocimientos de estructura de computadoras
(lenguaje maquina, jerarquia de memoria, excepciones)
14. FORMA DE EVALUACION: Examen Final
15. PROGRAMA Y BIBLIOGRAFIA: Adjuntas a esta hoja

FECHA: 1/11/97

JML
Dr. José María Llabería
Firma y Aclaración
del Profesor Titular

JPL
Firma del Director
y Sello Aclaratorio

Lic. IRENE LOISEAU
DIRECTORA
DEPTO. DE COMPUTACION
F.C.E.y N. UBA



T1 "MICRO-ARQUITECTURA DE LOS PROCESADORES ESCALARES"

PROFESOR: Dr. Jose Maria Llaberia

El Dr. Jose Maria Llaberia es Catedratico del Departamento de Arquitectura de Computadores de la Universidad Politecnica de Catalunia, donde obtuvo su titulo de Ingeniero en Telecomunicaciones en 1978 y se doctoro en Informatica en 1983. Ha participado en proyectos de investigacion y realizado numerosas publicaciones en temas de arquitecturas paralelas, procesadores escalares segmentados y superescalares, compiladores para supercomputadoras, jerarquia de memoria, etc.

PROGRAMA:

Introduccion

Tecnicas para incrementar el numero de operaciones por unidad de tiempo

- segmentacion
- paralelismo

Procesadores escalares lineales

- dependencias de datos
 - dependencias de secuenciamiento
- Tecnicas de compilacion (planificacion estatica)
- planificacion de instrucciones
 - desenrollar
 - segmentacion software Jerarquia de memoria
 - registros
 - niveles de cache Procesadores superescalares
 - riesgos debidos a recursos
 - orden en el inicio de ejecucion
 - deteccion de dependencias

Tecnicas en planificacion dinamica de instrucciones

- renombre
- desorden en el inicio de ejecucion
- prediccion de saltos
- especulacion

Procesadores actuales y tendencias futuras



Lic. IRENE LOISEAU
DIRECTORA
DEPTO. DE COMPUTACION
F. C. E. y N. UBA