

(11)

UNIVERSIDAD DE BUENOS AIRES

FACULTAD DE CIENCIAS EXACTAS Y NATURALES

DEPARTAMENTO: Computación.....

ASIGNATURA:... PROCESAMIENTO EN PARALELO

CARRERA/S: Lic. en Ciencias de la Computación.....

CARACTER:.. Optativa....(indicar si es obligatoria u optativa)

Puntaje...3....(en caso de ser optativa)

DURACION DE LA MATERIA: Cuatrimestral.....(indicar si es cuatrimestral)

HORAS DE CLASE: a) TEORICAS...3.... HS. b) PROBLEMAS ...3.... HS.
c) LABORATORIO...-.. HS. d) SEMINARIOS...-.... HS.
e) TOTALES...6..... HS.

ASIGNATURAS CORRELATIVAS: Sistemas Operativos y Cálculo Numérico I

PROGRAMA:

1. CONCEPTOS BASICOS DEL PARALELISMO:

1.1. Concurrencia , simultaneidad y paralelismo.

1.2. Avances en la performance de los equipos y su relación con el paralelismo.

1.3. La desproporción en las velocidades de procesamiento. Algunas soluciones.

1.4. Los primeros esquemas paralelizados.

1.4.1. Multiplicación de unidades funcionales en la CPU.

1.4.2. Procesadores independientes de I/O.

1.4.3. Multiprogramación y time-sharing.

1.4.4. Sistemas de memoria jerárquica.

1.5. Relación entre algoritmos paralelizados y arquitecturas del procesador.

1.6. Arquitecturas de los procesadores paralelizados:

1.6.1. Estructuras de pipeline.

1.6.2. Array processors.

1.6.3. Multiprocesadores.

1.6.4. Otros esquemas.

1.7. Clasificaciones de los procesadores por su grado de paralelismo.

1.7.1. Esquema de Flynn.

1.7.2. Esquema de Feng.

1.8. Niveles de paralelización en el software.

1.9. Algunos campos de aplicación y sus requerimientos.

2. PARALELISMO MEDIANTE ESTRUCTURAS PIPELINE
- 2.1. Diagrama de un pipeline de instrucción. Sincronización.
 - 2.2. Estimación de la eficiencia de un pipeline frente a la de un CPU convencional.
 - 2.3. Clasificación de los pipelines.
 - 2.4. Retroalimentación y prealimentación. Tablas de reserva.
 - 2.5. La CPU con pipeline múltiples.
 - 2.6. Pipelines aritméticos.
 - 2.6.1. Sumador en punto flotante.
 - 2.6.2. Multiplicador en punto fijo.
 - 2.6.3. Multiplicador en punto flotante.
 - 2.7. Array pipelines.
 - 2.8. Procesadores vectoriales y supercomputadoras. Los factores de incremento de la velocidad.

3. PARALELISMO MEDIANTE ARRAY PROCESSORS.

- 3.1. Arquitectura y funcionamiento de un array processor. La clase SIMD.
- 3.2. El Array procesador como back-end processor.
- 3.3. Estructura interna de un procesador elemental (PE).
- 3.4. Redes de interconexión y ruteo de datos.
- 3.5. Redes dinámicas de una etapa.
 - 3.5.1. La red cíclica.
 - 3.5.2. La red cúbica.
 - 3.5.3. La red PM2I.
- 3.6. Parallelización de algoritmos y array processors.
 - 3.6.1. Productos de matrices.
 - 3.6.2. Cálculo de autovalores.
 - 3.6.3. Resolución de sistemas lineales.
- 3.7. Memorias asociativas.

BIBLIOGRAFIA:

- 1.- Briggs, Faye A. y Hwang, Kai, "Computer Architecture and Parallel Processing". Mc Graw Hill, USA, 1984.
- 2.- Madnick, Stuart y Donovan, Jhon J., "Sistemas Operativos". Diana, México, 1982.
- 3.- Dargupta, Subrata, "The design and description of computer architectures". Jhon Wiley & Sons, USA, 1984.
- 4.- Evans, David J., "Parallel Processing Systems", Cambridge University Press, USA, 1982.
- 5.- Hayes, Jhon P., "Computer Architecture and Organization", Mc Graw Hill, USA, 1978.
- 6.- Karplus, Walter y Cohen, Dan, "Architectural and software issues in the design and application of peripheral array processors ". IEEE Computer USA, Septiembre de 1981.
- 7.- Moto-Oka, Thru y Kitsuregawa, Masaru, "El ordenador de quinta generación", Ariel, Buenos Aires, 1986.

FECHA.....

Dr. H. Scolnik.
Prof. Responsable

Lic. Alicia Gioia.
Autoridad del Dentro.